

課題番号 : F-14-NM-0031
 利用形態 : 技術代行
 利用課題名 (日本語) : ゲート前処理を実施した Ge MOS Capacitor の試作
 Program Title (English) : Fabrication of Ge MOS Capacitor with Gate Pre-treatment
 利用者名 (日本語) : 秋山 浩二
 Username (English) : K. Akiyama
 所属名 (日本語) : 東京エレクトロン(株)
 Affiliation (English) : Tokyo Electron Limited

1. 概要 (Summary)

ゲート長およびゲートピッチのスケールングにより、トランジスタのオン電流を維持することが難しく、オン電流を改善する試みが広くなされている。その中の1つの方法として、Siに代わる移動度の大きなチャンネル材料の適用が考えられている。Geは、Siに比べ電子・正孔の移動度が大きいことから、Geを用いたMOSFET(Metal Oxide Semiconductor Field effect Transistor)は優れた特性が期待されている。しかしながら、優れたトランジスタ特性を得るためにはGe/ゲート絶縁膜界面特性が重要であることが知られている。

本研究では、Ge/ゲート絶縁膜界面特性を改善するために、ゲート絶縁膜形成工程前に特殊な処理(ゲート前処理)を実施した。その特性を評価するためにMOSキャパシターを作成し、電気特性を取得した。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 原子層堆積装置
- ・ 高速マスクレス露光装置
- ・ 化合物ドライエッチング装置
- ・ 急速赤外線アニール炉

【実験方法】

Figure 1 にプロセスフローを示す。自然酸化膜除去のため、ゲート前洗浄を行い、直ちにゲート前処理を実施した。続いて、ゲート前処理後の Ge 基板は原子層堆積装置にてゲート絶縁膜として 5nm Al₂O₃ を成膜した。その後 TiN を PVD(Physical Vapor Deposition)法にて 30nm 成膜し、高速マスクレス露光機および化合物ドライエッチング装置を用いてゲート電極形成を行った。最後に、350℃で 90 秒間のシンター処理を行い、デバイスの試作を行った。また、ゲート前処理を行っていない MOS Capacitor についても同様の手順で作製した。

3. 結果と考察 (Results and Discussion)

Figure 2 にナノテクノロジープラットフォームで試作した Ge MOS Capacitor の CV (Capacitance-Voltage)特性を示す。Fig.2 (a)はゲート前処理なし、(b)はゲート前処理ありの CV 特性である。明らかにゲート前処理を実施していない場合には、周波数分散が認められる。一方、ゲート前処理を実施した場合には、周波数分散の抑制が認められた。この違いは、ゲート前処理を実施することで、Ge/Al₂O₃ 界面での界面準位が低減したことを示唆している。

4. その他・特記事項 (Others)

試料作製にあたり、NIMS 微細加工プラットフォームの渡辺英一郎様、西野潤一様から技術支援を頂きましたことを深く感謝いたします。

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし

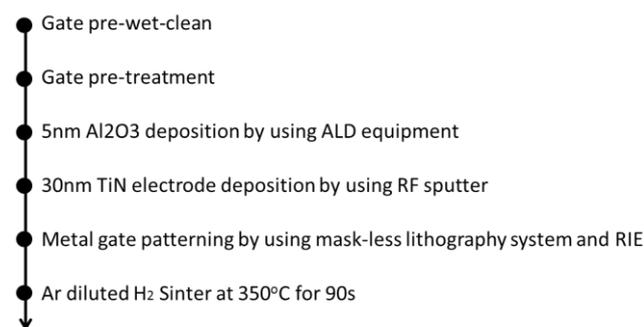


Fig. 1 Key Process Step of Ge MOS Capacitor

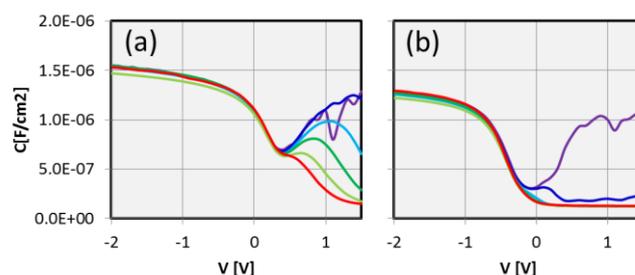


Fig. 2 CV Characteristics for Ge MOS Capacitor with(b) and without(a) Gate pre-treatment