

利用課題番号 : F-14-KT-0092
 利用形態 : 技術補助
 利用課題名 (日本語) : 誘電体膜のナノパターニング加工 (2)
 Program Title (English) : Nano-scale processing of dielectric materials (2)
 利用者名 (日本語) : 崔 成伯
 Username (English) : Songbek Che
 所属名 (日本語) : パナソニック
 Affiliation (English) : Panasonic Corporation

1. 概要 (Summary)

ナノプロセス技術は、物質の新規な物性とその機能発現を可能とし、デバイスや材料特性の飛躍的向上を実現する上で重要な技術である。

今回は、今まで得られた知見を活かし、実際のデバイス構造への展開を試みた。具体的には GaN をベースにした高電子移動度電界効果型トランジスタ (HFET) のオン抵抗低減に向けた低抵抗 n++GaN 再成長技術や、サブミクロンオーダーのゲート電極プロセスに応用した。GaN HFET においては、ソース電極とドレイン電極のコンタクト抵抗の低減と、より短いゲート長の実現がオン抵抗の低減につながる。

(d) ゲート電極形成。

PCVD 法により SiO₂ 膜を形成した場合、AlGaIn/GaN 層界面の 2 次元電子ガス (2DEG) への影響は少なく、低チャネル抵抗を実現することができた。実際に得られたデバイス構造の断面図を Fig. 1 に、デバイス特性結果の一部を Fig. 2 に示す。

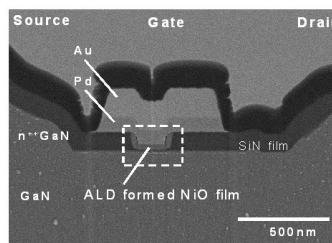


図1 NiOゲート GaN-HFETの断面 SEM 像
Fig. 1. Cross-sectional SEM image of NiO gate GaN-HFET.

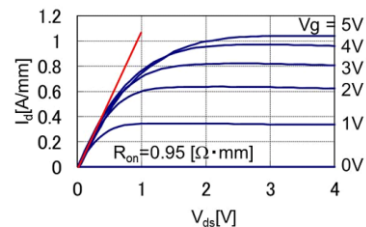


図2 NiOゲート GaN-HFETの I_d-V_{ds}特性
Fig. 2. I_d-V_{ds} Characteristic of NiO gate GaN-HFET.

2. 実験 (Experimental)

B5 PCVD 装置

※主な目的: 下地層にダメージの少ない絶縁膜形成法として PCVD 装置による SiO₂ 膜の成膜を行った。

3. 結果と考察 (Results and Discussion)

まず、今回用いたデバイス構造とそのプロセスを簡単に説明する (詳細については文献を参照 [5.論文発表の項])。

- Al 組成 30% の AlGaIn キャップ層を有する AlGaIn/GaN 構造を Si 基板上に作製し、その表面に PCVD 法による SiO₂ をデポする。一部をレジストで保護して SiO₂ 膜と AlGaIn/GaN とをドライエッチングで削り、再成長用の領域を形成する。SiO₂ をマスクとして Ge ドープした n++GaN 層を MOCVD 法で選択的に成長する。
- n++GaN 層上にソース、ドレイン電極を形成した後、SiN パッシベーション膜を形成。
- EB 描画とドライエッチングで微細開口を形成し、ALD 法によって NiO を微細開口ヘデポ。

本研究の GaN HFET デバイスにおいては R_{on}=0.95 Ω・mm を実現し、最大ドレイン電流 (I_{d,MAX}) は 1.1 A/mm を実現した。Ge ドープした GaN 再成長層の導入と AlGaIn/GaN 界面の 2DEG の保護により、オン抵抗の大幅な低減を実現できた。

4. その他・特記事項 (Others)

なし。

5. 論文・学会発表 (Publication/Presentation)

- "Extremely low on-resistance enhancement-mode GaN-based HFET using Ge-doped regrowth technique", A.Suzuki et al., 2014 IEEE International Electron Devices Meeting, 11.1.1-11.1.4, 2014.12.15~17, USA San Francisco.
- "Ge ドープ再成長層を用いた超低温抵抗ノーマリーオフ型 GaNHFET", 鈴木他、電子デバイス研究会、EDD-15-030、2015年3月4日。

6. 関連特許 (Patent) なし。