

課題番号 : F-14-KT-0020
利用形態 : 技術補助
利用課題名(日本語) : ステルスダイサーを用いた Si 基板のチップ化
Program Title (English) : Cutting Si wafers with Stealth dicing technology
利用者名(日本語) : 山田 宏, 萩 敏夫
Username (English) : H. Yamada, T. Hagi
所属名(日本語) : 株式会社 村田製作所
Affiliation (English) : Murata Manufacturing, Co., Ltd.

1. 概要(Summary)

パッケージ封止されていない MEMS デバイスが形成された Si ウェハに対して、MEMS 構造体を破損することなく小型にチップ化することを目的とする。

2. 実験(Experimental)

使用設備:

(B18)レーザダイシング装置/Mahoh Dicer ML200

(B20)真空マウンター/VTL-201

(B21)紫外線照射装置/LED-4082

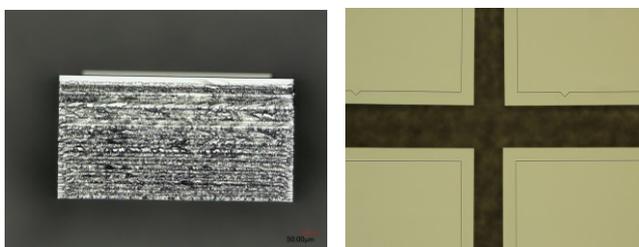
(B22)エキスパンド装置/TEX-21BG GR-5 対応

MEMS 構造形成済みの ϕ 100 mm ウェハ(厚さ:約 380 μm 、525 μm 、725 μm)を上記設備で約 1.5 mm 口にチップ化する。

※加工条件は京都大学ナノハブ様推奨条件

3. 結果と考察(Results and Discussion)

Fig. 1 にステルスダイシングにてチップ化した MEMS ウェハの写真を示す。



(a) Cross-section view (b) Upper surface

Fig. 1 MEMS wafer (ex. Si; 525 μm thickness).

基板の厚さ毎に改質層を入れる段数を変更(京都大学ナノハブ様推奨条件)し、チップ化を行った。いずれの厚

さの基板でもチップングおよびスカートが発生することなく約 1.5 mm \square にチップ化できていることを確認した。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。