

課題番号 : F-14-BA-15
利用形態 : 機器利用
利用課題名(日本語) : 半導体ナノデバイスの降伏(スナップバック)領域における電流・電圧の挙動の解析と最適デバイス動作条件及び構造の検討
Program Title (English) : Snapback behavior analysis and optimization of nano-semiconductor devices
利用者名(日本語) : 石塚 裕康
Username (English) : Hiroyasu Ishizuka
所属名(日本語) : 筑波大学大学院 数理物質研究科 ナノサイエンスナノテクノロジー専攻
Affiliation (English) : Nano-science and Nano-technology, Graduate School of Pure and Applied Science, Tsukuba University,

1. 概要(Summary)

半導体ナノデバイスの ESD 素子として用いるトランジスタ素子の降伏(スナップバック)領域における電流・電圧の挙動が、トランジスタのゲート電圧、ウエル電圧によって大きく異なることが実験結果から得られている¹⁾。この挙動について、2D-TCAD シミュレーターを用いて解析し、そのメカニズムを解析するとともに、今後の半導体製品に用いる最適な ESD 素子構造の検討を行う。

2. 実験(Experimental)

使用する TCAD シミュレーターは、SILVACO 製の 2D-プロセスシミュレーター及び 2D-デバイスシミュレーターである。

はじめに、例題として SILVACO 社から提供されている一般的なトランジスタ構造を用い、トランジスタの静特性(ゲート電圧-ドレイン電流)、スナップバック特性をシミュレート出来ることを確認する。

次に実験で得られたスナップバック特性のゲート電圧、ウエル電圧依存性に対してデバイスシミュレーターを用い再現を試みる。

その後、デバイス構造(Lg 長(ベース長)、ウエル濃度(ベース抵抗)、ウエル厚(Twin ウエル/Triple ウエル差)他)や、レイアウト構造(well 給電距離依存、finger 依存他)に関して解析を進め、理想的なスナップバック特性が得られるデバイス構造の検討を行う。

3. 結果と考察(Results and Discussion)

実験データである、厚膜 NMOSFET(5V-Tr.)において、スナップバック時のホールド電圧が、ゲート電圧及びウエル電圧で変化することをデバイスシミュレーションで確認できた。また薄膜 NMOSFET(1.5V-Tr.)で上記変化

が見られないことも確認できた。

それぞれについて各種パラメータ(2. 実験の項目参照)での解析を行った結果、NMOSFET のスナップバックにおけるホールド電圧は、

- (1) デバイスコンディション(ゲート電圧やウエル電位)によるスナップバック時のホールド電圧は、酸化膜厚より Lg 長(=ベース長)の依存性が大きく、Lg が長くなるとホールド電圧の変化も大きい。これは電流の広がり差である。
- (2) スナップバック動作においては、ウエル電位(well pumping)が有効で、レイアウト構造(=ウエル給電位置、距離)も重要である。
- (3) ウエル濃度(=ベース抵抗)依存性はあるが、現実的な濃度差においての影響は小さく、むしろ電流の広がりの方が大きい。例えば、Triple ウエルより Twin ウエルの方が、ESD 特性としては良好になると推定する。

4. その他・特記事項(Others)

1)"A Study of Advanced Technique on RC-triggered NMOSFET Power Clamp", H. Ishizuka, Y. Otsuka, H. Ikeda, K. Tanaka, in Proc. EOS/ESD Symp., 2008, p. 290.

本研究に関して、SILVACO の技術者から多大なサポートを頂いており、感謝いたします。

5. 論文・学会発表(Publication/Presentation)

なし。(2015/4 投稿予定)

6. 関連特許(Patent)

なし。