

課題番号 : F-14-AT-0155
 利用形態 : 機器利用
 利用課題名(日本語) : 次世代 LSI 向け成膜プロセス評価用キャパシタ試作
 Program Title (English) : Fabrication of MOS capacitor to evaluate a thin film
 利用者名(日本語) : 小川 有人、清野 篤郎、竹林 雄二
 Username (English) : A. Ogawa, A. Seino, Y. Takebayashi
 所属名(日本語) : 株式会社 日立国際電気
 Affiliation (English) : Hitachi Kokusai Electric Inc.

1. 概要(Summary)

Si LSI における MOSFET において、ゲート電極の仕事関数は閾値電圧を決定する要因の一つであり、重要なパラメータである。現在の最先端 Si-LSI においては High-k/Metal Gate を用いた MOSFET が主流であるが、High-k/Metal Gate を用いた MOS 構造では様々な要因にて閾値電圧が変動するため^{1,2,3}、閾値電圧を抽出するための MOS キャパシタの作製には変動要因を考慮した上で行う必要がある。今回、我々は産総研 NPF 設備を利用し、High-k/Metal Gate 構造を有する MOS キャパシタの試作を行ったので報告する。

2. 実験(Experimental)

・利用した主な装置

スパッタ装置、スピコータ、マスクレス露光機、反応性イオンエッチング装置、アッシャー

・実験方法

High-k/Metal を有するサンプルにスピコータにてレジストを塗布した後、マスクレス露光機を用いてゲート電極パターンを転写し、反応性イオンエッチング装置を用いてゲート電極の加工を行った。その後、アッシャーにてレジストを除去し、High-k/Metal Gate を有する MOS キャパシタの作製を行った。

3. 結果と考察(Results and Discussion)

マスクレス露光機を用い、High-k/Metal Gate を有する MOS キャパシタの作製を行った(Fig.1)。Fig.2 に得られた MOS キャパシタの CV 特性を示す。Fig.2 には ideal CV curve も併せて示す。図より良好な CV 特性が得られていることがわかる。NPF 施設を用い、high-k/Metal gate MOS キャパシタを製作可能であることが確認できた。今後はスパッタ膜の成膜条件最適化などが必要であると考えている。

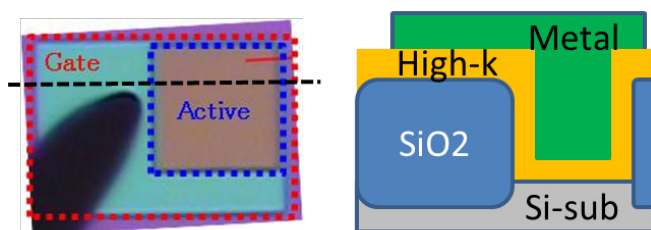


Fig1 Image of MOS capacitor.

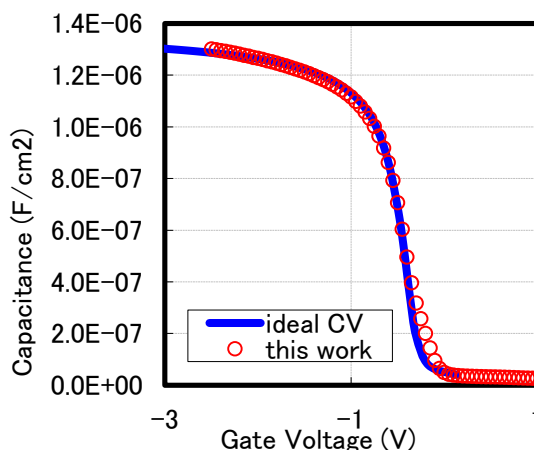


Fig.2 CV curve.

4. その他・特記事項(Others)

・参考文献

- 1) Y. Kamimuta et al., IEDM Tech. Dig., p342(2007).
- 2) K. Akiyama et al., VLSI Symp. Tech. Dig., p80(2008).
- 3) T. Ando et al., VLSI Symp. Tech. Dig., p44(2014).

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。