

課題番号 : F-14-AT-0148
利用形態 : 技術代行
利用課題名(日本語) : 埋め込み型電極構造による有機トランジスタの特性制御
Program Title (English) : Characteristic control in organic transistors using embedded electrode structure
利用者名(日本語) : 野田 啓
Username (English) : Kei Noda
所属名(日本語) : 慶應義塾大学 理工学部 電子工学科
Affiliation (English) : Department of Electronics and Electrical Engineering, Keio University

1. 概要(Summary)

有機電界効果トランジスタ(OFET)におけるコンタクト抵抗低減に向けた取り組みの一つとして、ゲート絶縁膜中に埋め込まれたコンタクト電極構造を設計した。また、産業技術総合研究所ナノプロセッシング施設(NPF)の設備を利用して微細加工を行い、埋め込み型電極付き基板の作製を実施した。

2. 実験(Experimental)

・利用した主な装置

スピンコーター、真空蒸着装置(電子ビーム加熱型)、UVクリーナー、コンタクトマスクアライナー(MJB4)、プラズマアッシャー、プラズマ CVD 装置、ダイシングソー、

・実験方法

まず、異なる電極ギャップ長(2 μm ~160 μm)を有する同心円状及び矩形状のソース・ドレイン電極パターンを有するフォトマスクを用いて、300nm厚の SiO₂ 熱酸化膜を有する高濃度ドーパシリコンウェハー(3インチ)表面に、コンタクトマスクアライナー(MJB4)を用いた電極パターンの転写を行った。電極部分は、真空蒸着装置(電子ビーム加熱型)により Ti (膜厚 5 nm)、Au (膜厚 30 nm)の順に各層の堆積を行った。続いて、産総研NPFノウハウを利用して、絶縁膜中に埋め込まれたコンタクト電極構造を完成させた。最後に、ダイシングソーを用いて、複数の電極チップに分割した。

3. 結果と考察(Results and Discussion)

作製した電極チップの断面 SEM 像を Fig. 1 に示す。SiO₂ 絶縁膜中に厚さ 40 nm 程度の電極部が埋め込まれているのが確認され、当初の設計に近い形状の埋め込み型電極構造を有する電極チップの作製に至った。

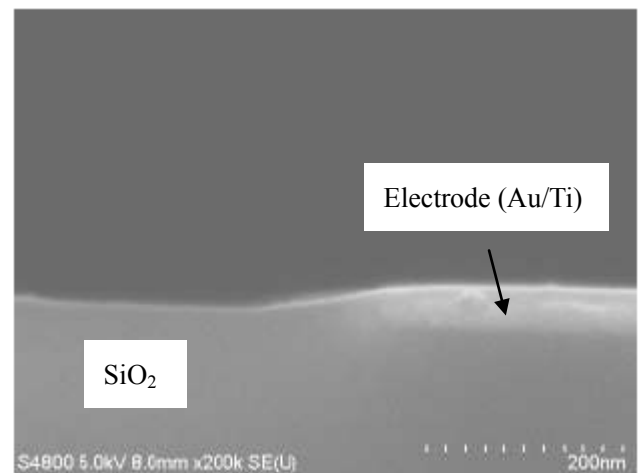


Fig. 1. Cross-sectional scanning electron microscope image of an embedded electrode structure fabricated on a Si substrate with a thermal SiO₂.

4. その他・特記事項(Others)

今後は、実際に作製した埋め込み型電極チップ基板上に OFET 素子を作製し、そのトランジスタ特性や有機半導体膜の構造評価を実施する。それらの結果に基づき、OFET に対する埋め込み型電極構造の有用性についての考察を行う。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。