

課題番号 : F-14-AT-0143  
利用形態 : 技術代行  
利用課題名(日本語) : 次世代エレクトロニクスデバイスの試作・評価(PJ3)  
Program Title (English) : Experimental production and evaluation of a next generation electronic device (project 3)  
利用者名(日本語) : 廣岡 哲也  
Username (English) : T. Hirooka  
所属名(日本語) : ティーイーアイソリューションズ株式会社  
Affiliation (English) : tei Solutions Co., Ltd.

## 1. 概要(Summary)

次世代エレクトロニクスのデバイス開発を目的としたシリコンウエハへの加工を行うため、産業技術総合研究所ナノプロセッシング施設(NPF)の設備を利用した。

本報告では、i線露光装置を用いてリフトオフプロセスを目的としたレジストパターンの形成(Fig.1)について記述する。

いことがあった。LORの塗れ性が悪いため成膜前の基板表面処理方法については改善が必要であることがわかった。

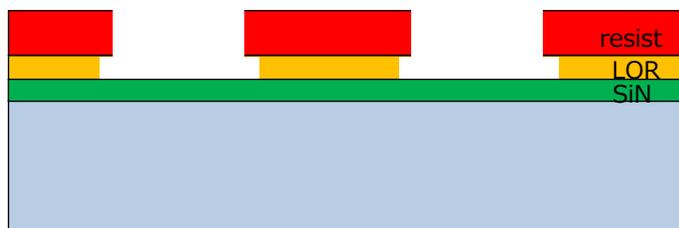


Fig.1 Schematic sample structure.

## 2. 実験(Experimental)

・利用した装置

i線露光装置

・実験方法

下地膜上にAu配線パターンをリフトオフにて形成。

- (1) 基板表面をHMDS処理で疎水化し、リフトオフレジスト(LOR)を成膜しベーキング、その後ベーキングにて水分を揮発させた。
- (2) 次にi線用ポジ型レジストを成膜、同様に塗布後ベーキングにて水分を揮発させた。
- (3) i線露光機にて抜きパターンを形成。下地膜を考慮し露光量を調整した。
- (4) PEB処理後に現像、リンス、乾燥を実施した。i線露光されたレジスト部分は現像液に溶解し、同時に現像液でLORが溶解しサイドエッチングが施された。

## 3. 結果と考察(Results and Discussion)

- (1) 現像時間が短い場合は、i線用レジスト残りが発生し、長すぎるとLORのサイドエッチ量が多くなり、微細箇所にてLORのショートが発生することがわかった。現像時間の最適化を行い、レジスト残りやパターンショート不良は改善された。
- (2) 下層膜にLORを塗布した際に外周部が塗布されな

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。