

課題番号 : F-14-AT-0130
利用形態 : 技術代行
利用課題名(日本語) : グラフェンの電気特性評価
Program Title (English) : Electrical property measurement of graphene
利用者名(日本語) : 井福 亮太
Username (English) : R. Ifuku
所属名(日本語) : 東京エレクトロン(株)
Affiliation (English) : Tokyo Electron Ltd.

1. 概要(Summary)

グラフェンは炭素六員環構造に由来する特異なバンド構造を持ち、非常に高いキャリア移動度を有する^[1]。加えて、CVD 合成法による大面積でのプロセス開発も可能であり、近年新しい電子デバイス材料の一つとして注目されている。しかしながら、炭素の層状物質であるグラフェンに対して従来の Si-CMOS プロセスがそのまま適用できないことは容易に想像がつく。本課題では、絶縁膜基板上にてグラフェン素子形成を行った。

2. 実験(Experimental)

SiO₂(100 nm)/p⁺-Si 上に金属触媒上で CVD 合成を行った単層グラフェンを転写した基板を準備した。EB(電子線)レジスト(PMMA, ZEP520A)を塗布後、電子線描画装置(CABL-9410TFNA: crestec 製)を用いて加速電圧 50 keV、ビーム電流 1x10⁻¹⁰ A の条件下でレジストパターンを形成し、EB 蒸着装置(エイコー・エンジニアリング製)にて Au(50 nm)/Ti(10 nm)を堆積後、リフトオフによって金属電極を基板上に得た。続いて EB レジスト(XR1541)、帯電防止剤(ESPACER300Z)を塗布後、上記電子線描画装置を用いて加速電圧 50 keV、ビーム電流 1x10⁻¹⁰ A の条件下で描画後、TMAH で現像しハードマスクパターンを得た。

なお、上記の全ての装置は独立行政法人 産業技術総合研究所 ナノプロセッシング施設の共通機器である。

3. 結果と考察(Results and Discussion)

SiO₂/Si 基板上の単層グラフェンに対して作製した金属電極パターンと HSQ ハードマスクパターンの SEM 像を Fig. 1 に示す。素子作製の各プロセスを改善することで良好な金属電極パターン、ハードマスクパターンを作製することに成功した。ハードマスクパターンは、~40 nm の細線を加工できた。線幅はレジスト膜厚、描画・現像条件

によって~10 nm 程度にまで微細化可能であることを確認している。また、グラフェンは SiO₂ 基板とファンデル・ワールス力のみで密着しているため、その密着力は界面不純物等の影響を大きく受け、歩留まりは十分に高くないが、下地基板の選択・表面処理、転写プロセスの改善に加えて、素子作製プロセスの更なる改善によって大幅な向上が見込まれる。

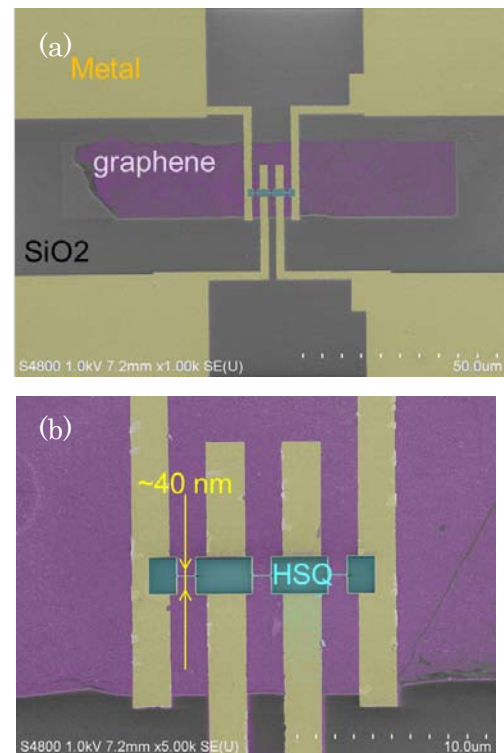


Fig. 1 SEM images of (a) metal electrode patterns and (b) HSQ hard-mask patterns on graphene/SiO₂ substrate.

4. その他・特記事項(Others)

[1] A. K. Geim *et al.*, *Nature Mat.*, **6** (2007)

5. 論文・学会発表(Publication/Presentation)
なし。

6. 関連特許(Patent)
なし。