

課題番号 : F-14-AT-0129
利用形態 : 技術補助
利用課題名(日本語) : グラフェンデバイス電極用 W 薄膜堆積
Program Title (English) : W thin film deposition for electrodes of graphene device
利用者名(日本語) : 井福 亮太
Username (English) : R. Ifuku
所属名(日本語) : 東京エレクトロン(株)
Affiliation (English) : Tokyo Electron Ltd.

1. 概要(Summary)

近年、新しい電子デバイス材料の一つとしてグラフェンが注目されている^{[1][2][3]}。従来、実験上の簡便さから機械的剥離法によってシリコン酸化膜上の局所領域に試料を得た後に電極を作成するというプロセスが広く行われてきた。

一方で、グラフェン薄膜は金属触媒上全面に CVD 合成法によって成膜することが可能であり^[4]、大面積でのプロセス開発も可能である。しかしながら、炭素の層状物質であるグラフェンに対して従来の Si-CMOS プロセスがそのまま適用できないことは容易に想像がつく。グラフェンのスイッチング素子ではコンタクト抵抗がデバイス性能を律速することが予測されており^{[5][6]}、コンタクト材料、成膜手法を含めた最適化が必要である。本課題では、電気特性評価用素子を作製すべく、電極材料候補の一つである W の成膜実験を行った。

2. 実験(Experimental)

基板として、p⁺-Si/SiO₂(100 nm)基板を準備した。アセトン、IPA 中で超音波洗浄を行った後、ホットプレートで 120°C、1 分ベークした。W は DC スパッタ装置を室温、Ar 雰囲気下において下記条件で 10 分間成膜した。

出力:300 W

印加電圧:400 V

電流:0.72 A

基板回転:有

ただし、上記の全ての装置は独立行政法人 産業技術総合研究所 ナノプロセッシング施設の共通機器である。

3. 結果と考察(Results and Discussion)

Fig.1 に W を成膜した試料の断面 SEM 像を示す。膜厚は 110 nm であり、およそ 11 nm/min の成膜レートであることが分かった。より詳細な成膜レートは今後測定点

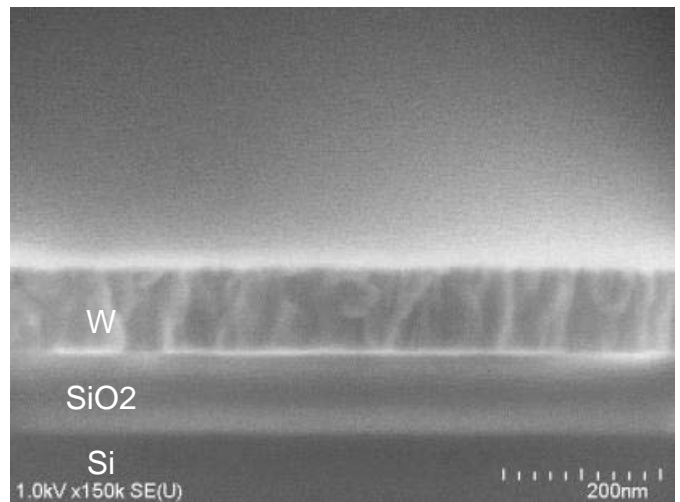


Fig. 1 Cross-sectional SEM image of W film deposited on Si/SiO₂(100 nm) substrate.

数を増やし、XRF などを用いて評価することが必要である。膜構造に関しては一般的なスパッタ膜同様、柱状形状が確認された。成膜された W 膜は今後、XRD による配向性評価、SPM による表面形態、表面粗さ評価を進めていく必要がある。

4. その他・特記事項(Others)

[1] K. S. Novoselov *et al.*, *Science*, **306** (2004).

[2] K. S. Novoselov *et al.*, *Nature*, **438** (2005).

[3] A. K. Geim *et al.*, *Nature Mat.*, **6** (2007).

[4] X. Li *et al.*, *Science*, **324** (2009).

[5] K. Nagashio *et al.*, *APL*, **97** (2010).

[6] F. Xia *et al.*, *Nature Nanotech.*, **6** (2011).

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。