

課題番号 : F-14-AT-0128  
 利用形態 : 技術代行  
 利用課題名 (日本語) : カルコゲナイド超格子を用いた不揮発メモリのプロセス最適化  
 Program Title (English) : Process Optimization of Chalcogenide Superlattice Non-Volatile Memory  
 利用者名 (日本語) : 中林 肇  
 Username (English) : Hajime Nakabayashi  
 所属名 (日本語) : 東京エレクトロン株式会社先端プロセス開発センター  
 Affiliation (English) : Leading Edge Process Development Center, Tokyo Electron Ltd.

### 1. 概要 (Summary)

低消費電力の不揮発メモリ材料開発を目的としてカルコゲナイド超格子をメモリ材料とする不揮発メモリ素子を (独)産業技術総合研究所ナノプロセッシング施設 (NPF) を利用して試作した。

### 2. 実験 (Experimental)

利用した主たる装置

i 線露光装置、多目的エッチング装置

実験方法

上下 2 層の電極構造からなるポア型メモリ素子を試作した。4インチ低抵抗 p 型シリコン基板上に下部電極となるスパッタ TiN 薄膜を成膜した後、層間絶縁膜となる CVD シリコン酸化膜を堆積し、下部電極に接続するコンタクトホールを形成する。メモリ層となるカルコゲナイド超格子薄膜と上部電極となるスパッタ TiN 薄膜を成膜した後、i 線露光装置と多目的エッチング装置により上部電極構造を形成した。

### 3. 結果と考察 (Results and Discussion)

試作したポア型メモリ素子構造を Fig.1 に示す。

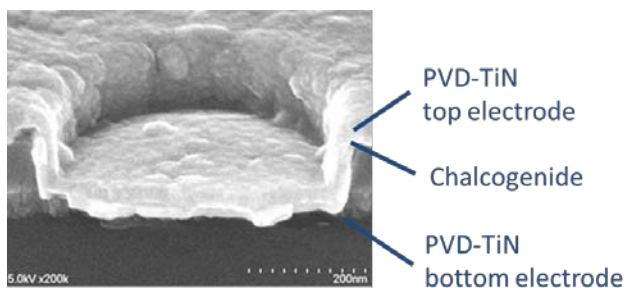


Fig.1 Pore-type phase change memory cell.

試作したメモリ素子を用いてメモリ層となる ALD カルコゲナイド超格子構造およびプロセスの評価を行い、最適

化された超格子構造により従来条件よりも 1 桁以上高いスイッチング抵抗比を得た。Fig.2 に従来条件 A と最適条件 B の抵抗比分布を示す。

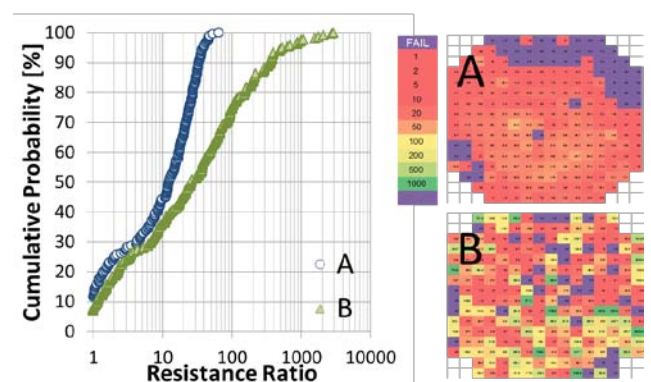


Fig.2 Distribution of resistance ratio.

### 4. その他・特記事項 (Others)

なし。

### 5. 論文・学会発表 (Publication/Presentation)

なし。

### 6. 関連特許 (Patent)

なし。