

課題番号 : F-14-AT-0123
利用形態 : 機器利用
利用課題名(日本語) : グラフェン用ハードマスクパターン作製
Program Title (English) : Hard-mask fabrication for graphene
利用者名(日本語) : 井福 亮太
Username (English) : R. Ifuku
所属名(日本語) : 東京エレクトロン(株)
Affiliation (English) : Tokyo Electron Ltd.

1. 概要(Summary)

近年、新しい電子デバイス材料の一つとしてグラフェンが注目されている[1][2][3]。グラフェンは CVD 合成法によって成膜でき、大面積でのプロセス開発が可能である。しかしながら、炭素の層状物質であるグラフェンに対して従来の Si-CMOS プロセスがそのまま適用できないことは容易に想像がつく。本課題では、グラフェン上にハードマスクを形成するプロセスを確立した。

2. 実験(Experimental)

SiO₂(100 nm)/p⁺-Si 上に金属触媒上で CVD 合成を行った単層グラフェンを転写した基板を準備した。基板を有機洗浄後、120°Cで 1 分ベークした。EB(電子線)レジスト(PMMA, ZEP520A)を塗布後、180°Cで 2 分ベークし、電子線描画装置(CABL-9410TFNA: crestec 製)を用いて加速電圧 50 keV、ビーム電流 1x10⁻¹⁰ A の条件下で電極パターンを作製し、抵抗加熱型の小型真空蒸着装置(ビームトロン製)にて Au(50 nm)/ Ti(10 nm)を堆積、リフトオフによって金属パターンを基板上に得た。続いて、基板を有機洗浄後、120°Cで 1 分ベークした。EBレジスト(XR1541)を塗布後、100°Cで 5 分ベークし、帯電防止剤 ESPACER300Z を塗布した。電子線描画装置(CABL-9410TFNA: crestec 製)を用いて加速電圧 50 keV、ビーム電流 1x10⁻¹⁰ A の条件下で描画し、CD-26(TMAH 2.3%水溶液)で現像、DIW でリンスしてハードマスクパターンを得た。

なお、上記の全ての装置は独立行政法人 産業技術総合研究所 ナノプロセッシング施設の共通機器である。

3. 結果と考察(Results and Discussion)

作製したパターンの SEM 像を Fig.1 に示す。膜構造は、金属パターン部が Si/SiO₂/graphene/Ti/Au/HSQ、パターン間は Si/SiO₂/graphene/HSQ である。パターン間の

拡大図(Fig. 1(b))より、グラフェン上に~30 nm 幅の HSQ 孤立ラインを形成できたことが分かった。

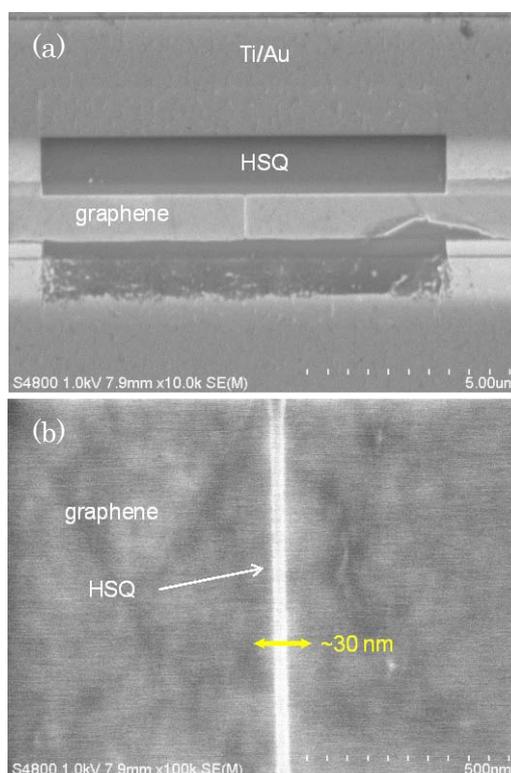


Fig. 1 SEM images of HSQ hard-mask pattern for graphene etching of (a) x10k and (b) x100k.

4. その他・特記事項(Others)

- [1] K. S. Novoselov *et al.*, *Science*, **306** (2004).
- [2] K. S. Novoselov *et al.*, *Nature*, **438** (2005).
- [3] A. K. Geim *et al.*, *Nature Mat.*, **6** (2007).

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。