

課題番号 : F-14-AT-0001  
利用形態 : 機器利用  
利用課題名(日本語) : Ge系チャネル材料の研究  
Program Title (English) : Study of Ge-based channel materials  
利用者名(日本語) : 高橋 正紘  
Username (English) : M. Takahashi  
所属名(日本語) : 東京理科大学 基礎工学部 電子応用工学科  
Affiliation (English) : Electric applied Eng. department , Faculty of Eng. Science , Tokyo Univ. of Science

### 1. 概要(Summary)

半導体素子の微細化限界の問題を解決するための候補の一つとして、Siに替わる高移動度材料をチャネル材料に用いた電界効果トランジスタ(FET)がある。

我々はSiO<sub>2</sub>上に成膜したpoly-Ge膜をチャネルとしたFETを作製することを目的として産業技術総合研究所ナノプロセッシング施設(NPF)の設備を利用して微細加工を行った。

### 2. 実験(Experimental)

・利用した主な装置

i線露光装置, 真空蒸着装置, 反応性イオンエッチング装置(RIE)

・実験方法

薄膜試料にi線露光装置を用いてチャネルのパターンを転写し, RIE装置を用いてチャネルを形成した。次に, 原子層堆積装置を用いてhigh-k材料ゲート絶縁膜を成膜した。最後に, i線露光装置を用いてソースドレインパターンを転写し, その後真空蒸着装置を用いてソースドレインを形成した。

### 3. 結果と考察(Results and Discussion)

i線露光装置とRIE装置, 真空蒸着装置などを使い, 幅10 $\mu$ m, 長さ10 $\mu$ mのチャネルを形成した。次にチャネル上に原子層堆積装置を使い, 膜厚10nmのAl<sub>2</sub>O<sub>3</sub>ゲート絶縁膜と金属電極を成膜した(Fig. 1)。ソースドレイン間に50mV印加した際, オン/オフ比は $1.3 \times 10^4$ を達成した。しかしゲート電圧3Vの際のオン電流が $8.23 \times 10^{-8}$ と低い値であったため, 今後はチャネル層の形成プロセスの最適化が必要であると考えられている。

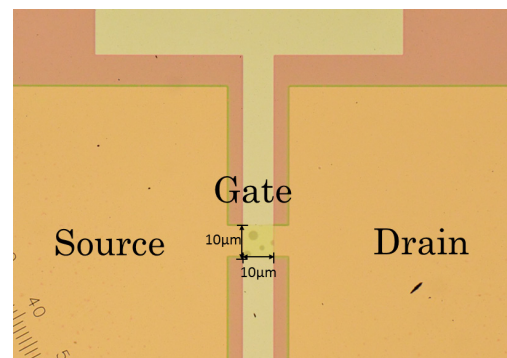


Fig. 1 Microscopic image of MOS FET.

### 4. その他・特記事項(Others)

・参考文献

T. Maeda et al., VLSI Tech. **213** (2010).

・増田賢一様(産総研 NPF)に感謝します。

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。