

課題番号 : F-13-UT-0149

利用形態 : 機器利用

利用課題名 (日本語) : 疑似スピン電界効果型トランジスタのマルチプロジェクトウェハ上への作製と特性評価

Program Title (English) : Fabrication and characterization of pseudo-spin metal-oxide-semiconductor field-effect transistors monolithically fabricated on a multi-project CMOS wafer

利用者名 (日本語) : 中根了昌<sup>1,5</sup>、周藤悠介<sup>2,3,5</sup>、介川裕章<sup>4,5</sup>、温振超<sup>4,5</sup>、山本修一郎<sup>2,5</sup>、三谷誠司<sup>4,5</sup>、田中雅明<sup>1,5</sup>、猪俣浩一郎<sup>4,5</sup>、菅原聡<sup>2,5</sup>

Username (English) : R. Nakane<sup>1,5</sup>, Y. Shuto<sup>2,3,5</sup>, H. Sukegawa<sup>4,5</sup>, Z.C. Wen<sup>4,5</sup>, S. Yamamoto<sup>2,5</sup>, S. Mitani<sup>4,5</sup>, M. Tanaka<sup>1,5</sup>, K. Inomata<sup>4,5</sup>, and S. Sugahara<sup>2,5</sup>

所属名 (日本語) : <sup>1</sup> 東京大学大学院工学系研究科、<sup>2</sup> 東京工業大学情報研究所、<sup>3</sup> 神奈川科学アカデミー、<sup>4</sup> 物質材料研究機構、<sup>5</sup> 科学技術振興機構

Affiliation (English) : <sup>1</sup>The University of Tokyo, Tokyo, <sup>2</sup>Tokyo Institute of Technology, <sup>3</sup>Kanagawa Academy of Science and Technology, <sup>4</sup>National Institute for Materials Science, <sup>5</sup>CREST, Japan Science and Technology Agency

### 1. 概要 (Summary)

本研究では、東大、東工大、NIMS との共同で、CMOS ロジックシステムのスタンバイ電力を極限まで削減できる不揮発性パワーゲーティングに必須の疑似スピン MOSFET をマルチプロジェクトウェハ (MPW; シェアトルウェハと呼ばれることもある) を用いて実現した。共著者の東工大グループ (菅原, 周藤, 山本) によって提案された疑似スピン MOSFET は、MRAM の記憶素子である強磁性トンネル接合 (MTJ) と MOSFET を組み合わせることでスピントランジスタの機能を実現する技術である。これを不揮発性パワーゲーティングに応用することで、CMOS ロジックの回路性能や安定性を劣化させることなくスタンバイ電力を大幅に削減することが可能となる。

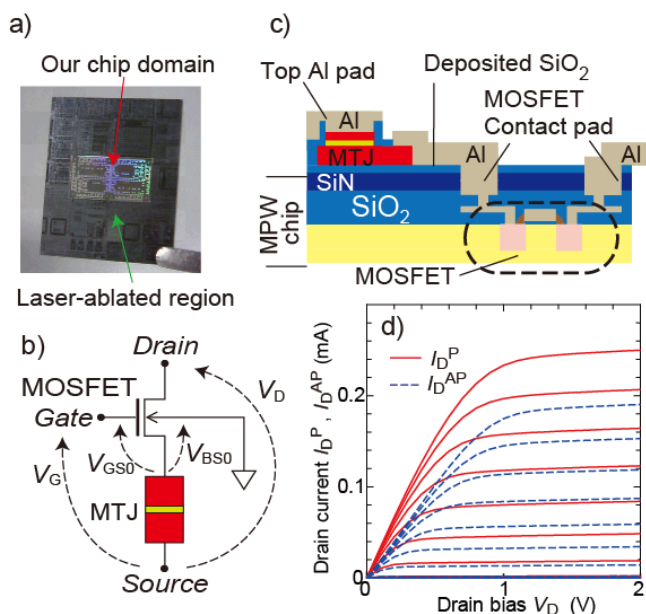
### 2. 実験 (Experimental)

本研究では、安価かつ容易に試作可能な MPW 上に高い磁気抵抗比 (TMR 比) を有する MTJ を実現するプロセス技術を開発して、疑似スピン MOSFET を実現した。MPW チップ表面はパッシベーション膜の大きな表面ラフネスのため、高い TMR 比の MTJ を形成することはできない。また、MPW では当該の CMOS 領域以外はレーザーアブレーション等で不活性化させていることが多く、平坦化は容易ではない。そこで、完成された MPW チップ表面の研磨/洗浄技術を開発し、原子スケールで平坦なチップ表面を得た。この表面上では、疑似スピン MOSFET に十分に応用が可能な 150% 程度の高い TMR 比を示す MTJ を再現性良く実現することができた。この MTJ の MPW 上への集積化技術を用いて、疑似スピン MOSFET の試作を行ったところ、磁気電流比 90% のスピントランジスタ動作を確認することができた。この結果は HSPICE シミュレーションと非常に良い一致を示した。

UV リソグラフィ用マスクを作製するために、EB 描画装置を利用した。

### 3. 結果と考察 (Results and Discussion)

以上の結果は、MPW を用いれば、CMOS ロジックと MTJ などの高性能デバイスとの融合回路を容易に実現できることを示すものである。



Figs. a) Multi-Project-Wafer (MPW) use for pseudo-spin MOSFET processing. b) Pseudo-spin MOSFET circuit. Voltage drop across the MTJ negatively biases MOSFET. c) Cross-sectional view of the fabricated pseudo-spin MOSFET. The MTJ is grown on the planarized passivation after MPW delivery. d) Room-temperature output characteristics of the pseudo-spin MOSFET.

赤実線と青点線は、それぞれ MTJ 素子の磁化状態が平行と反平行の場合である。最大で 90% の磁気電流比が得られた。

#### 4. その他・特記事項 (Others)

なし.

#### 5. 論文・学会発表 (Publication/Presentation)

- 1) R. Nakane, et al., IEEE 43rd European Solid-State Device Research Conference (ESSDERC) 2013, Bucharest, Romania, September 16-20, 2013, C3L-A 1272
- 2) R. Nakane, et al., 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka, Japan, September 24-27, 2013, M-6-2.
- 3) R. Nakane, et al., The 58th Annual Magnetism and Magnetic Materials (MMM) Conference, Denver, Colorado, USA, Nov. 4-8, 2013, GT-06

#### 6. 関連特許 (Patent)

なし.