

課題番号 : F-13-UT-0127
 利用形態 : 共同研究
 利用課題名 (日本語) : 集積化 MEMS 向けシングルエンドキャパシタンス読み出し回路
 Program Title (English) : Single-ended Capacitance Read-out Circuit for Integrated MEMS
 利用者名 (日本語) : マチュュー ドヌアル
 Username (English) : Matthieu Denoual
 所属名 (日本語) : 仏国立エンジニアリングスクール (ENSI) カーン校, ノルマンディー大学
 Affiliation (English) : ENSI de Caen CNRS UMR-6072, Normandy Univ, France

1. 概要 (Summary)

利用者は仏 Ecole Nationale Supérieure des Intenieurs カーン校准教授であり、長期出張の機会を得て、日ごろの雑務で実施が遅れていた、集積化 MEMS 分野の研究を加速させるべく、2014 年 4 月から 9 月にかけて、仏本国の海外渡航助成を受け、東京大学に留学し、共同研究を行った。本報告書では、多くの集積化 MEMS で利用されている、静電型マイクロアクチュエータ用の容量読み出し電子回路の設計試作について報告する。

2. 実験 (Experimental)

開発した電子回路の利用シナリオは、一層集積化 SOI CMOS-MEMS 素子である。シリコン構造層の裏面にシリコン酸化絶縁膜が埋め込んである、Silicon-on-Insulator (SOI) と呼ばれる基板上に CMOS 電子回路を作製し、その基板をシリコン深掘りエッチング (Deep-RIE, DRIE) によって後加工し、微細 MEMS 構造を作製する、東京大学大規模集積システム設計教育研究センターの提唱する相乗りプロジェクト (Multi-Chip Project) を利用する。具体的には、フェニテックセミコンダクター社 (岡山県井原市) の 0.6 μ m 1P2M 相乗りテクノロジーに参加した。デザインの配置を Fig.1 に示す。供給されたウエーハを、東京大学微細加工拠点の公開装置であるステルスダイサーによって、課題申請者のデザインがチップ中央に配置されるようにカットし、東京大学武田先端知ビルクリーンルームのワイヤボンディング装置を利用して配線を行った。配線を行った基板をパッケージングし、回路単体の特性を測定した。また、測定対象としては、同じく東京大学微細加工拠点の大面積電子線描画装置・深掘りエッチング装置・ステルスダイサー・クリーンドラフト超純水付きを利用して作製した、一層 SOI (構造体の厚み 25 μ m) 構

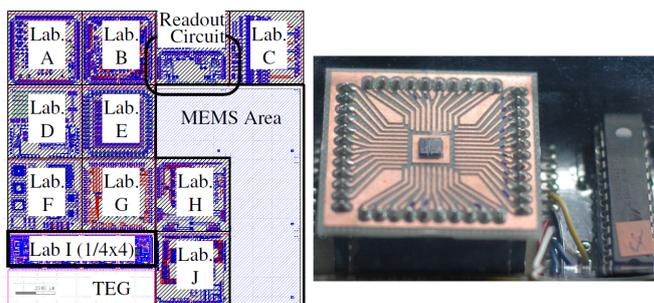


Fig.1 Multi-Chip Design of run201305 (left) and Packaged Chip and Readout Command Circuit (right)

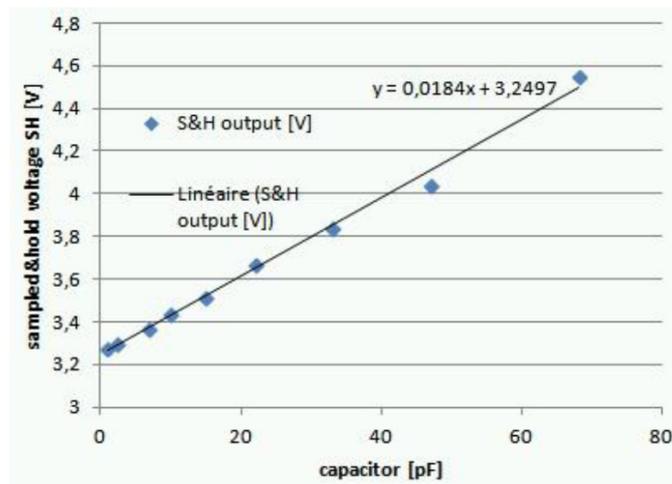


Fig.2 Capacitance-Output Voltage Relationship

造の MEMS 振動子 (Resonator) を作製し、利用した。

3. 結果と考察 (Results and Discussion)

2pF から 33pF までの 7 種類のキャパシタンス (セラミックコンデンサ) を外付けし、回路の出力電圧を測定した結果を Fig.2 に示す。図からわかるように、高い線形性を示した。これは設計時の予想通りであった。一方で、プリント基板にパッケージングを行ったため、寄生容量が大きく、その値は 80pF 前後であると計算から示唆された。この寄生容量のため、読み出し利得を上げるとオーバーレンジとなるため、1pF あたり 18.4mV の感度に抑えて測定したが、

集積化を行うことで寄生容量は削減できるので、感度を高めえることができる。続いて、回路とMEMS素子とを外部ワイヤリングで接続して動作検証を試みたが、MEMS駆動電圧が読み出し電極とカップリングをおこしてしまい(クロストーク)、信頼に足る測定に至らなかった。今後回路形式も含めて、さらに研究を行いたい。

4. その他・特記事項 (Others)

共同研究者: Eric Lebrasseur, 三田吉郎(東京大学大学院工学系研究科)

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし