

課題番号 : F-13-UT-0031

利用形態 : 機器利用

利用課題名 (日本語) : NEDO 省エネルギー革新技術開発事業「極低消費電力 III-V 族化合物半導体 CMOS の研究開発」

Program Title (English) : Research and Development Program for Innovative Energy Efficiency Technology from NEDO

利用者名(日本語) : 金相賢¹⁾, 横山正史¹⁾, 中根了昌¹⁾, 市川摩²⁾, 長田剛規²⁾, 秦雅彦²⁾, 竹中充¹⁾, 高木信一¹⁾

Username(English) : SangHyeon.Kim¹⁾, M.Yokoyama¹⁾, R.Nakane¹⁾, M.Ichikawa²⁾, T.Osada²⁾, M.hata²⁾, M. Takenaka¹⁾, S.Takagi¹⁾

所属名(日本語) : 1) 東京大学大学院工学系研究科
2) 住友化学(株)

Affiliation (English) : 1) School of Engineering, The University of Tokyo
2) Sumitomo Chemical Co.,Ltd.

1. 概要 (Summary)

近年、次世代 MOSFET の新しいチャンネル材料として III-V MOSFET が活発に研究されている。我々はチャンネルの In 組成を上げ、バンドギャップの高い MOS 界面バッファ層の中にチャンネルを挟むことで高移動化を、S/D としてはメタル S/D を使うことで良好な S/D を形成することを提案してきた。本研究では EB (Electron beam)リソグラフィー及び Ni-InGaAs による S/D を用い、ゲート長 100 nm 以下の微細素子を試作し、その特性を調べた。

2. 実験 (Experimental)

ナノテクノロジープラットフォームで公開されている EB 直描装置を用いて、Si 基板上に貼り合せた InGaAs 層上にゲート長 20 nm 程度のナノワイヤーチャンネルを描画することで、立体ゲートトランジスタ等の作製を行った (Fig. 1)。

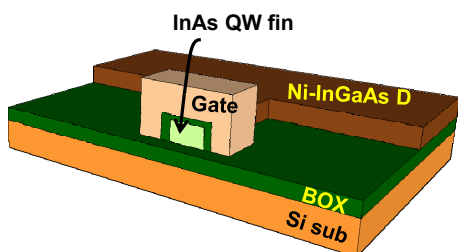


Fig. 1 Schematic of InGaAs nanowire transistor.

3. 結果と考察 (Results and Discussion)

EB 直描により実際に作製した InGaAs ナノワイヤトランジスタの上部 SEM 写真を Fig. 2 に示す。EB 描画により微細構造のパターニングが可能になることから、ワイヤ幅

36nm、ゲート長 20nm 以下のナノワイヤトランジスタの作製に世界で初めて成功した。作製したナノワイヤトランジスタのワイヤ幅を 360nm から 40nm に細くしていった際のトランジスタの特性を Fig. 3 に示す。ワイヤ幅を狭くするほどオフ電流が小さくなり良好な動作が得られることを明らかにした。

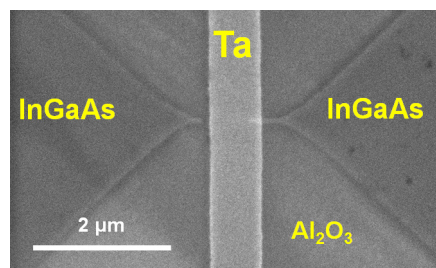


Fig. 2 SEM image of InGaAs nanowire transistor.

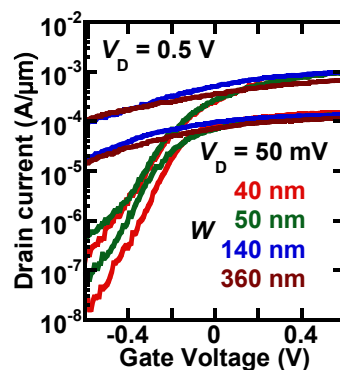


Fig. 3 Transfer characteristics of InGaAs nanowire transistors.

4. その他・特記事項 (Others)

なし

5. 論文・学会発表 (Publication/Presentation)

(1) S.-H. Kim, M. Yokoyama, R. Nakane, M. Ichikawa, T.

Osada, M. Hata, M. Takenaka, S. Takagi, *International Electron Devices Meeting (IEDM'13)*, 16.4, Washington D. C., 10 December 2013.

(2) S. H. Kim, M. Yokoyama, Y. Ikku, R. Nakane, O.

Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, *Appl. Phys. Lett.*, vol. 104, 113509, 2014.

6. 関連特許 (Patent)

なし