

課題番号 : F-13-TU-0051  
利用形態 : 機器利用  
利用課題名 (日本語) : グラフォアセンブリーによる三次元積層型光電子集積システム・オン・チップ  
Research Title (in English) : Three-Dimensionally Stacked Optoelectronic System-on-Chip  
Fabricated Using Grapho- Assembly  
利用者名 (日本語) : 小柳 光正、福島 誉史、マリアッパ ムルゲサン、金野 成秀、長井 千里  
Username (in English) : M. Koyanagi, T. Fukushima, J. Bea, M. Murugesan, S. Konno  
所属名 (日本語) : 東北大学未来科学技術共同研究センター  
Affiliation (in English) : New Industry Creation Hatchery Center, Tohoku University

## 1. 概要 (Summary)

次世代集積回路として期待されているシリコン貫通配線(TSV)を用いた三次元積層型集積回路の試作を行った。φ10μm以下の金属バンプを有する基板を作製し、チップ実装後に電気的な導通を確認し、デバイスチップの多層化へと展開することに成功した。

## 2. 実験 (Experimental)

利用した主な装置名:

芝浦メカトロニクス CFS-4ESII、住友精密 MUC-21

ボッシュプロセスを用いてシリコンの深穴を形成し、Ti/Cuのバリア/シード層を形成してTSVを形成した。また、マイクロバンプを電解めっき、および蒸着法により形成し、フリップチップ接続させた。

## 3. 結果と考察 (Results and Discussion)

ビアラスト・バックサイドビア方式による三次元集積化を行った。最も難易度が高いSi深溝形成、TSVライナー形成後のボトム酸化膜の底抜きエッチングにおいて、条件を最適化し、ノッチフリーでコンタクトを形成した。デバイスチップのM1層と電解銅めっきで充填したTSVの電気的な導通を得ることに成功した。また、ピッチ20μmのCu/SnAgマイクロバンプを有するチップを用いて、2,000本以上のデージーチェーンを形成した。1バンプあたりの抵抗を測定した結果、50mΩ以下の十分に低い値を実現することができた。多数のチップを一括でアセンブリする技術の開発にも成功し、チップの平均位置合わせ精度±1μmを得た。この技術をグラフォアセンブリーに応用し、別途開発した光TSVや高効率カプラと集積し、光電子三次元集積実現への見通しをたてることができた。

## 4. その他・特記事項 (Others)

2013年9月、宮城県多賀城市のみやぎ復興パークに三次元スーパーチップLSI試作製造拠点(GINTI: Global INTeGration Initiative)を開設し、三次元LSIの実用化を加速すべき研究を展開している。

## 5. 論文・学会発表 (Publication/Presentation)

- (1) T. Fukushima, H. Hashiguchi, J. Bea, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, Proceedings of the 63rd Electronic Components and Technology Conference (ECTC), (2013), pp.58-63.
- (2) Yuka Ito, Takafumi Fukushima, Kang-Wook Lee, Koji Choki, Tetsu Tanaka, and Mitsumasa Koyanagi, Proceedings of the 63rd Electronic Components and Technology Conference (ECTC), (2013), pp.891-896.
- (3) Takafumi Fukushima, Jichoel Bea, Hisashi Kino, Chisato Nagai, Mariappan Murugesan, Hideto Hashiguchi, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, IEEE TRANSACTIONS ON ELECTRON DEVICES, 61, pp.533-539 (2014).

## 6. 関連特許 (Patent)

なし