

課題番号 : F-13-TT-0015
 利用形態 : 機器利用
 利用課題名 (日本語) : 半導体選択成長用マスク付き Si 基板の作製
 Program Title (English) : Growth of GaAs nano-wires on Si substrate fabricated with V shape groove
 利用者名 (日本語) : 鈴木秀俊
 Username (English) : H. Suzuki
 所属名 (日本語) : 宮崎大学 IR 推進機構
 Affiliation (English) : Interdisciplinary Research Organisation, University of Miyazaki

1. 概要 (Summary)

微細加工技術の急速な発展が Si を中心とした半導体デバイスの性能向上を支えてきたが、その微細化にも物理的・技術的な限界が近づいている。そこで、Si よりも優れた電気特性を持つ GaAs と、低コストかつ加工技術が熟練した Si を組み合わせたハイブリット型デバイスが注目されている。この実現には Si 基板上への高品質な GaAs 結晶の作製技術が必要である。しかし、Si と GaAs では物性値が大きく異なるため格子不整合転位等の欠陥を生じ、高品質な GaAs 結晶を得る事は困難である。われわれは、分子線エピタキシー(MBE)法を用い、高品質な GaAs 結晶の Si 基板上への作製を試みている。特に、Si ウェハに微細構造を利用して GaAs 結晶作製時の欠陥の形成および伝搬の制御を目標としており、本課題では、微細加工として SiO₂ マスク付きおよび V 字溝加工 Si 基板作製の支援を申請した。本基板上に GaAs を作製した際に、V 字型斜面上にナノワイヤ(NWs)が選択的に成長することが見出された。このような Nws の選択成長は光・電子集積回路等のデバイスへの応用が期待できる。

本報告書では、V 字型溝加工基板上の GaAs 成長について述べる。

2. 実験 (Experimental)

Si(001)ウェハにフォトリソグラフィ技術を用いて縞状の SiO₂ マスクを作製した。このマスクを用いてアルカリ溶液を用いた異方性エッチングにより、マスク開口部に {111}ファセット斜面で構成された V 字型の溝を有する Si 基板を作製した。SiO₂ 縞状マスクの間隔を変化させる事により、V 字溝のサイズを 10~50 μ m で変化させた。

上記で作製した加工 Si 基板に MBE 法を用いて GaAs を成長させた。Ga および As セル温度の制御により原料供給比(V/III 比)および成長速度を変化させた。

作製後の試料形状は走査型電子顕微鏡(SEM)により観察し、Nws が形成している場合はその密度を見積もつ

た。

3. 結果と考察 (Results and Discussion)

V/III 比と成長速度を変化させたときの Nws の密度の結果を Fig. 1 に示す。V/III 比が 10⁰~10² の間で Nws が多く成長し、10² を超えると成長が見込めないことがわかる。さらに成長速度は 0.05~0.25 が好条件であることが分かる。特に、V/III 比が 3.2、成長速度 0.13 ML/s で成長させた際に最も高密度の Nws が得られた (Fig. 1 中 SEM 像)。

以上の結果から、V 字微小溝基板の GaAs-Nws 成長には V/III 比と成長速度が共に寄与しており、V/III 比はせいぜい 1~2 桁、成長速度は 0.1ML/s 付近に好条件が分布していることが分かった。

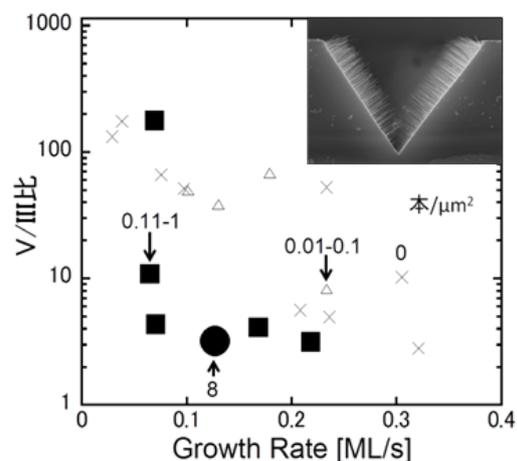


Fig. 1 GaAs-NWs densities grown on the patterned Si substrate as a function of V/III ratio and growth rate

4. その他・特記事項 (Others)

本研究の一部は、独立行政法人新エネルギー・産業技術総合開発機構の委託により実施したものである。

5. 論文・学会発表 (Publication/Presentation)

(1) H. Suzuki, et al., E-MRS 2014 Spring meeting 2014/5/29.

6. 関連特許 (Patent)

なし