

課題番号 : F-13-RO-0005
利用形態 : 技術代行
利用課題名(日本語) : 薄膜トランジスタ開発のためのイオン注入条件の最適化
Program Title (English) : Optimization of ion implantation condition for LT poly-Si TFT
利用者名(日本語) : 原 明人
Username (English) : A. Hara
所属名(日本語) : 東北学院大学工学部電子工学科
Affiliation (English) : Tohoku Gakuin University

1. 概要(Summary)

イオン注入を広島大学ナノデバイス・バイオ融合科学研究所で行い、他のプロセスは東北学院大学で行いながら4端子(4T)埋め込み型メタルダブルゲート(E-MeDG)低温(LT) poly-Si TFT を作成した。その結果、 V_{th} の高い制御性を実証した。

2. 実験(Experimental)

デバイスプロセスの概略を記すと以下のようになる。この実験では、基板として熔融石英ガラスを使用した。ガラス基板上にボトムゲート(BG)トレンチを形成した後、W 膜を325 °Cでスパッタリングすることにより堆積させた。さらに、化学機械研(CMP)を用いて埋め込み BG を形成した。その後、厚さ 100 nm の BG 酸化膜と厚さ 75 nm のノンドーパのアモルファス Si (a-Si)層を、プラズマ化学気相成長法(PECVD)を用いて 325 °Cで堆積させた。500 °C 60 分間で N_2 ガス中において脱水素化アニールした後、a-Si 層を半導体励起固体連続波レーザを使った連続波レーザ結晶化法(CLC 法)を用いて poly-Si 膜に変質させた。基板を均一なラテラル結晶 poly-Si 膜で被膜するために、ソース・ドレイン(SD)方向に沿ったオーバーラップスキヤニングを用いた。フォトリソグラフィとドライエッチングプロセスを用いて、トランジスタアイランドを形成後、厚さ 50 nm のトップゲート(TG)酸化膜を 325 °Cにて PECVD を用いて堆積させた。

次に、厚さ 40 nm の W をスパッタリングした後、ポジ型レジストを塗布した。埋め込み BG をマスクとして用いて背面から露光を行う自己整合プロセスによって TG を形成した。なお、この技術は、無アルカリガラスにも適用可能である。そして、不要な W 膜をドライエッチングにより除去した。続いて、TG メタルをマスクとして SD 領域の酸化膜層をドライエッチングにより除去した。SD 領域は、広島大学ナノデバイス・バイオ融合科学研究所にてイオン注入により P をドーピングして形成した。使用された加速エネルギーとイオン照射量は、それぞれ 10 keV と $4 \times 10^{15} \text{ cm}^{-2}$ である。電

極と BG を接続するために、TG メタルのエッジ領域を除去した後、 SiO_2 の層間絶縁層を 325 °Cで PECVD を用いて形成し、次に 550 °Cの N_2 雰囲気中で 6 時間活性化を行った。これがデバイス作製プロセスの最高温度である。電極と BG を接続するコンタクトホールを形成後、電極と TG を接続するためのコンタクトホールを形成した。さらに、スパッタリングで Mo 電極を成膜し、最後にステップ冷却を用いて水素化を行った。

3. 結果と考察(Results and Discussion)

TG あるいは BG を drive gate とした時の V_{th} の control gate 電圧依存性を示す γ ($= \Delta V_{th} / \Delta V_{CG}$, V_{CG} は control ゲート電圧)や sunthreshold swing (s.s.)は、M. Masahara *et al.*¹⁾らのモデルによる理論値と傾向において一致することが明らかになった。これは poly-Si が大粒径を有し結晶品質が良いことが関係している。一方で、理論値と実験値の不一致の原因は、酸化膜や界面の品質、チャンネルが粒界を含んでいることが挙げられる。

本研究で作製した TFT は、ground plane による閾値制御と異なり、個々の TFT の閾値制御が可能である。高い V_{th} の制御性は、ガラス基板上に高速で低消費電力の CMOS 回路の作製を可能にするものと考えられる。

4. その他・特記事項(Others)

参考文献 1) M. Masahara *et al.*: IEEE Trans. Electron Devices, vol.52, no.9, pp.2046-2053, 2005.

5. 論文・学会発表(Publication/Presentation)

- (1) 黒須 その他: 第 10 回薄膜材料デバイス研究会 (2013) p.240.
- (2) R. Kurosu *et al.*: Proc. IDW' 13 (2013) p.262.
- (3) 加茂 その他: 応用物理学会東北支部第 68 回学術講演会予稿集 (2013) p.38.
- (4) 加茂 その他: 第 61 回応用物理学会春季学術講演会 (2014) 19p-PG3-13.

6. 関連特許(Patent)

なし