

利用課題番号 : F-13-NM-0065  
 利用形態 : 機器利用  
 利用課題名 (日本語) : ALD を利用したパリレン薄膜上への高品質 HfO<sub>2</sub> および Al<sub>2</sub>O<sub>3</sub> 絶縁膜作製  
 Program Title (English) : High quality HfO<sub>2</sub> and Al<sub>2</sub>O<sub>3</sub> insulating thin film growth on Parylene by ALD  
 利用者名 (日本語) : 井上 公  
 Username (English) : Isao H. Inoue  
 所属名 (日本語) : 独立行政法人産業技術総合研究所  
 Affiliation (English) : National Institute of Advanced Industrial Science and Technology

### 1. 概要 (Summary) :

我々は強相関電子系と呼ばれる物質の単結晶基板上に FET を作製する研究を行っている。この作製過程で最も難しいのは本質的に欠損を生じやすい強相関物質とゲート絶縁膜との界面をいかに良好な状態に保てるかである。本課題では、パリレンとよばれる有機物の薄膜(8nm)上に、酸化物の HfO<sub>2</sub> (30nm) または Al<sub>2</sub>O<sub>3</sub> (20nm) の薄膜を重ねた「ハイブリッド構造の絶縁膜」を原子層堆積装置(ALD)を用いて作製し、スパッタリングなど他の方法でパリレン上に成膜するよりも ALD で成膜した HfO<sub>2</sub> の方が良い特性を示すかを検証し、作製条件の最適化を目的としている。

### 2. 実験 (Experimental) :

【利用した主な装置】 原子層堆積装置

【実験方法】 SrTiO<sub>3</sub> の単結晶基板(10mm 角、0.5mm 厚)上にパリレン薄膜(8nm)と Al のソース・ドレイン電極をフォトリソグラフィによって形成した試料を産総研のクリーンルームで作製し、NIMS 微細加工プラットフォームでは、その試料上に ALD を用いて、HfO<sub>2</sub>(30nm)薄膜または Al<sub>2</sub>O<sub>3</sub>(20nm)薄膜を成膜した。このハイブリッド絶縁膜を形成した試料を産総研に持ち帰ってゲート電極などを形成し、電気特性などを評価した。

### 3. 結果と考察 (Results and Discussion) :

図 1 は SrTiO<sub>3</sub> の単結晶基板に作製した電界効果トランジスタ(FET)断面の透過型電子顕微鏡(TEM)像である。8nm のパリレン薄膜上に、ALD で作製した 30nm の HfO<sub>2</sub> 薄膜が積層していることがわかる。このパリレンと HfO<sub>2</sub> のハイブリッド積層膜がこの FET の「ゲート絶縁体」である (HfO<sub>2</sub> の上には Ti と Au のゲート電極が積層されている)。また、ここには示していないが、走査型 TEM による成分分析の結果から、HfO<sub>2</sub> がパリレン中に侵入していないことなども明らかとなり、図中の全ての界面が非常に良い状態で保たれている。HfO<sub>2</sub> の代わ

りに Al<sub>2</sub>O<sub>3</sub> を用いた場合でも同様の結果が得られた。

図 2 は同様に作製した FET の電気特性である。ここでは HfO<sub>2</sub> の代わりに Al<sub>2</sub>O<sub>3</sub> を使用してハイブリッドゲート絶縁膜を作製したが、HfO<sub>2</sub> の場合でもほぼ同様の特性を示した。SrTiO<sub>3</sub> の上に直接、スパッタリングなどの方法で HfO<sub>2</sub> や Al<sub>2</sub>O<sub>3</sub> をゲート絶縁体として積層させると、SrTiO<sub>3</sub> の表面に酸素欠損が生じ、ゲート電圧を印加しない時でもチャンネルの伝導度が高くなって

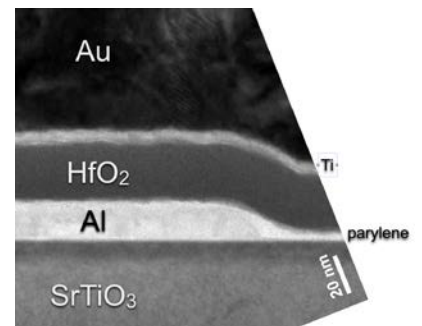


図 1 SrTiO<sub>3</sub> 基板上および Al 電極上に作製した、パリレンと HfO<sub>2</sub> のハイブリッドゲート絶縁膜の断面 TEM 像

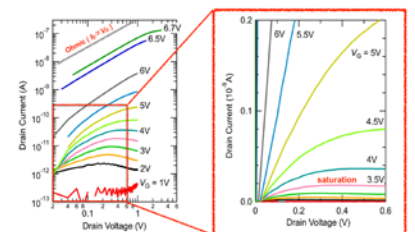


図 2 SrTiO<sub>3</sub> 基板上に Al<sub>2</sub>O<sub>3</sub> とパリレンのハイブリッド絶縁膜を用いて作製した FET の電気特性

いたが、このデバイスではゲート電圧がゼロの場合、オフ電流は測定限界の 10fA 以下となり、ゲート電圧をかけると急峻なドレイン電流の増加がおり、非常によいトランジスタ特性を示すことがわかった。

### 4. その他・特記事項 (Others) :

今後はこのハイブリッド絶縁膜を強相関物質の上に用いて FET を作製します。

### 5. 論文・学会発表 (Publication/Presentation) :

なし

### 6. 関連特許 (Patent) :

なし