

利用課題番号 : F-13-KT-0075  
 利用形態 : 技術補助  
 利用課題名 (日本語) : 誘電体膜のナノパターニング加工 (2)  
 Program Title (English) : Nano-scale processing of dielectric materials (2)  
 利用者名 (日本語) : 崔 成伯  
 Username (English) : Songbek Che  
 所属名 (日本語) : パナソニック株式会社 デバイスソリューションセンター  
 Affiliation (English) : Panasonic Corporation Device Solutions Center, R&D Division

### 1. 概要 (Summary) :

ナノ構造形成制御は、物質の新規な物性とその機能発現を可能とし、デバイスや材料特性の飛躍的向上を実現する上で重要な技術である。

今回は、今まで得られた知見を活かし、実際のデバイス構造への展開を試みた。

具体的にはナノ構造形成技術を GaN 系パワーデバイスの短ゲート長構造への応用を目指した。

より短いゲート長のデバイスを実現することができれば、オン抵抗の低減につながる。

本研究では、デバイス構造実現に必要な各プロセスについて検討を行った。

- ① 絶縁膜である SiO<sub>2</sub> 層の PCVD 成長
- ② ステップ、EB 露光装置によるサブミクロンオーダーのゲート電極材料の形成

### 2. 実験 (Experimental) :

PCVD (プラズマ CVD) 装置

※主な目的: 下地層にダメージの少ない絶縁膜形成法として PCVD 装置による SiO<sub>2</sub> 膜の成膜を行った。

### 3. 結果と考察 (Results and Discussion) :

まず、Fig. 1 に今回用いたデバイス構造とそのプロセスを簡単に説明する。

今回は、ナノハブ拠点の PCVD 装置を用いて SiO<sub>2</sub> 膜を成膜後、EB 露光技術による短ゲート長を持つデバイス構造の作製を目指した。

Fig. 2 は、本実験に用いた GaN 系パワーデバイスの断面走査型電子顕微鏡 (SEM) 像である。PCVD 装置により SiO<sub>2</sub> を成膜後、フォトリソ工程によるプロセス後の断面図である。

次に、Fig. 1②に示すように S, D 電極、EB 露光によるパターニングを経て、最終構造を完成させた。

PCVD 法により SiO<sub>2</sub> 膜を形成した場合、AlGa<sub>0.2</sub>N/GaN 層界面の 2 次元電子ガス (2DEG) への影響は少なく、低いチャネル抵抗を実現することができた。また、EB 露光装置により 120 nm 幅のゲート長も実現した。

今後は、PCVD 装置だけではなく、ナノハブ拠点の EB 露光装置も利用することでさらなる短ゲート長デバイスの実現を目指す予定である。

① SiO<sub>2</sub> パターニング (ナノハブ PCVD 利用)

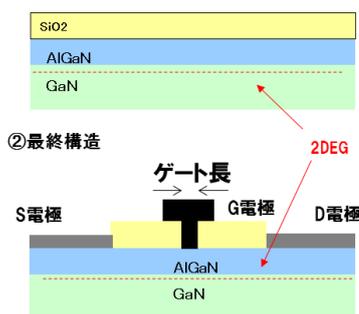


Fig.1 Device structure and process

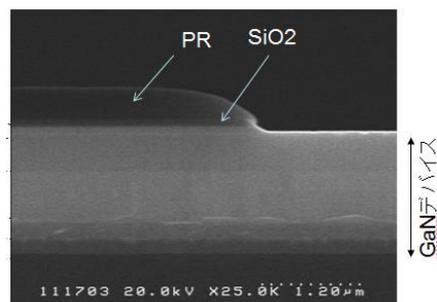


Fig. 2 Cross section SEM image of process ②

### 4. その他・特記事項 (Others) :

なし。

### 5. 論文・学会発表 (Publication/Presentation) :

なし。

### 6. 関連特許 (Patent) :

なし。