

課題番号 : F-13-AT-0174  
 利用形態 : 機器利用  
 利用課題名 (日本語) : III-V MOS 技術  
 Program Title (English) : III-V MOS Technology  
 利用者名 (日本語) : 入沢 寿史  
 Username (English) : Toshifumi Irisawa  
 所属名 (日本語) : 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」  
 Affiliation (English) : FIRST program "Development of Core Technologies for Green Nanoelectronics"

### 1. 概要 (Summary)

Ge pMOSFET を作り込んだ Ge 基板上に CMP を施した層間膜を介して InGaAs を貼り合わせ、InGaAs-OI 層を形成。その後、InGaAs nMOSFET プロセスを実施し 3D 積層 CMOS インバーターの動作を確認した。積層プロセスによる下地のデバイス特性劣化は観測されず、InGaAs nMOSFET、Ge pMOSFET でそれぞれ Si 素子比 2.6 倍、3.0 倍の移動度増大を確認した。

### 2. 実験 (Experimental)

使用装置 : マスクレス露光装置、真空蒸着装置

Ge pMOSFET 上に絶縁膜を介して InGaAs nMOSFET が積層された基板において、それぞれの素子を接続し CMOS を構成するために、マスクレス露光装置を用いてコンタクトホール形成とリフトオフによる金属電極形成を実施した。

### 3. 結果と考察 (Results and Discussion)

Fig. 1 に試作した CMOS 構造を示す。Ge pMOSFET と InGaAs nMOSFET が 3 次的に積層された CMOS 構造となっており、Ge の高い正孔移動度と InGaAs の高い電子移動度を同時に活用する事ができる究極的な CMOS 構造と言える。Fig. 2 に積層された (a) InGaAs nMOSFET、(b) Ge pMOSFET の移動度特性を示す。Si MOSFET 比でそれぞれ、2.6 倍、3.0 倍という高い移動度増大が確認された。Fig. 3 には、上下段の素子を接続して構成した CMOS インバータの入出力特性を示す。V<sub>dd</sub> = 0.2 V までの正常なインバータ動作を実証する事ができた。なお、InGaAs/Ge デュアルチャネル CMOS の動作実証は本検討が世界初であった。

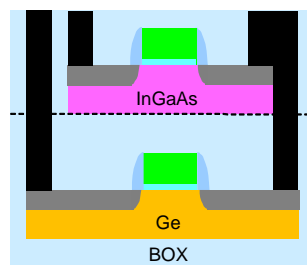


Fig. 1 Schematic of InGaAs/Ge 3D stacked CMOS structure.

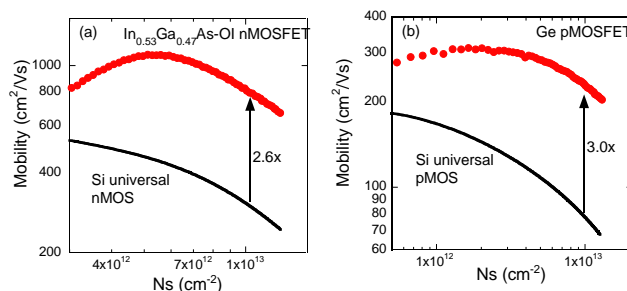


Fig. 2 Mobility of (a) In<sub>0.53</sub>Ga<sub>0.47</sub>As-OI nMOSFET, (b) Ge pMOSFET.

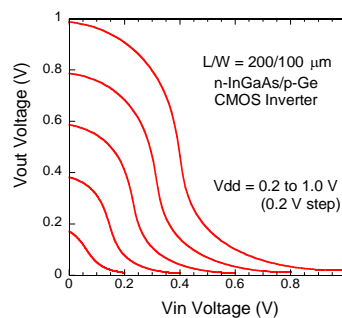


Fig. 3 Transfer voltage characteristics of InGaAs/Ge 3D stacked CMOS inverter.

### 4. その他・特記事項 (Others)

なし。

### 5. 論文・学会発表 (Publication/Presentation)

- (1) T. Irisawa et al, VLSI Technology symposium, T56 (2013).
- (2) 入沢他、2013 年第 74 回応用物理学会秋季学術講演会

### 6. 関連特許 (Patent)

なし。