

課題番号 : F-13-AT-0158
利用形態 : 技術代行
利用課題名 (日本語) : 遷移金属内包シリコンクラスターを接合に利用したトランジスタの実証
Program Title (English) : Development of Transition-metal-encapsulating Si clusters for electronics
利用者名 (日本語) : 岡田 直也
Username (English) : N. Okada
所属名 (日本語) : 筑波大学大学院 数理物質科学研究科 電子・物理工学専攻
Affiliation (English) : Institute of Applied Physics, University of Tsukuba

1. 概要 (Summary)

遷移金属内包 Si クラスターから成る Si リッチなシリサイド材料を用いた半導体との接合形成技術の開発を行っている。これまでに、遷移金属内包 Si クラスター材料を金属と半導体 (Si や Ge) の接触界面に挿入することで、接触界面に生じるエネルギー障壁を制御し (フェルミレベルピンニングの解除)、接触抵抗を大幅に低減できることを実証した。しかし、デバイスレベルでの実証には至っていなかった。そこで、NPF を活用して、Ge トランジスタを試作することで、遷移金属内包 Si クラスター材料を用いたソース・ドレイン (S/D) 接合の有効性を調べた。

2. 実験 (Experimental)

NPF にある i 線露光装置を用いて、フォトリソグラフィを行い、金属/W 内包 Si クラスター薄膜/*p*-Ge の MIS (Metal/Insulator/Semiconductor) 構造を S/D 接合部に適用した Ge のショットキーソース・ドレイン型 *n*FET トランジスタを試作した。

3. 結果と考察 (Results and Discussion)

p-Ge に対して ~ 0.35 eV のショットキー障壁を形成できる Ti/W 内包 Si クラスター薄膜/*p*-Ge (*p*-Ge の比抵抗: $\sim 0.1 \Omega\cdot\text{cm}$) の MIS 構造を S/D に適用した Ge-*n*FET を作製した (Fig. 1)。S/D とゲート電極のオーバーラップ構造を形成するためにゲート・ラストプロセスを採用した。作製したトランジスタの特性を調べたところ、大きなリーク電流を示した。リーク電流を抑制するためには、より高いショットキー障壁や空間的均一性の高い障壁が必要である。今後、MIS 接合の面積を小さくすることで、S/D における障壁高さの空間的均一性を確保し、さらに、*p*-Ge に対してより高いショットキー障壁を実現できる材料系を適用することで、遷移金属内包 Si クラスター材料を用いた S/D 接合の有効性を検証していく予定である。

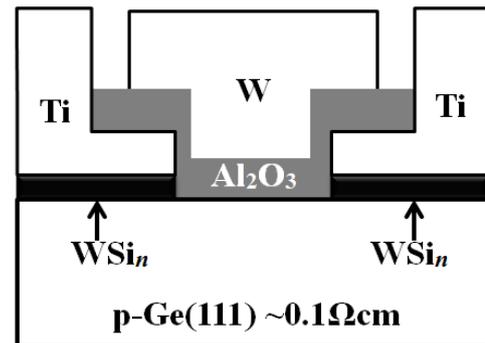


Fig. 1. A schematic structure of metal S/D Ge *n*FET using the WSi_n film.

4. その他・特記事項 (Others)

謝辞: 本実験の遂行にあたり、ナノエレクトロニクス研究部門エマージングデバイスグループ増田賢一氏には、i 線露光装置を用いたリソグラフィの技術支援、及び、リソグラフィ技術に関する有益なご助言を頂きました。深く感謝いたします。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。