

課題番号 : F-13-AT-0132
利用形態 : 機器利用
利用課題名 (日本語) : グラフェンの電気特性評価
Program Title (English) : Electrical Property Measurement of Graphene
利用者名 (日本語) : 井福 亮太, 加賀谷 宗仁
Username (English) : R. Ifuku, M. Kagaya
所属名 (日本語) : 東京エレクトロン株式会社
Affiliation (English) : Tokyo Electron Limited

1. 概要 (Summary)

近年、新しい電子デバイス材料の一つとしてグラフェンが注目されている。従来、実験上の簡便さから機械的剥離法によってシリコン酸化膜上の局所領域に試料を得た後に電極を作製するというプロセスが広く行われてきた。

一方で、グラフェン薄膜は金属触媒上全面に CVD 合成法によって成膜することが可能であり、大面積でのプロセス開発も可能である。しかしながら、炭素の層状物質であるグラフェンに対して従来の Si-CMOS プロセスがそのまま適用できないことは容易に想像がつく。本課題では、電気特性評価用素子形成プロセスの第一段階として、グラフェン加工・電極作製時に用いるアライメントマークを作製した。

2. 実験 (Experimental)

基板として、SiO₂(100 nm)/p⁺-Si 基板上に金属触媒上で CVD 合成を行った単層グラフェンを転写したものを準備した。2層の異なるEBレジストを塗布後、電子ビーム描画装置(CABL-9410TFNA: crestec 製)を用いて加速電圧 50 keV、ビーム電流 1x10⁻¹⁰ A の条件下でアライメントマークのレジストパターンを作製した。抵抗加熱型の小型真空蒸着装置(ビームトロン製)にて Au(50 nm)/Ti(10 nm)を堆積し、リフトオフプロセスを経てアライメントマークを基板上に得た。なお、上記の全ての装置は独立行政法人 産業技術総合研究所 ナノプロセッシング施設の共通機器である。

3. 結果と考察 (Results and Discussion)

EB 露光プロセスでは、電子線のドーズ量を電流量・レジストの露光感度から算出できるが、同時にパターン形状にも大きく依存する。今回作製したアライメントマークパターンは本プロセスに続くマスクレス露光プロセス・EB 露光プロセスにおいてグラフェン加工・電極作製を施す際の位置合わせ基準として使用するが、各々の露光装置でパターンサイズ・形状が異なる。従ってドーズ量の最適化を行

うことで Fig.1 に示すレジストパターンを作製に成功した。続くリフトオフプロセスでは、レジスト膜厚と蒸着する金属薄膜の膜厚そしてパターンサイズのバランスが重要である。今回、各々のサイズを最適化し、加えて 2 層レジスト構造を用いることでリフトオフによるパターンを作製した (Fig.2)。

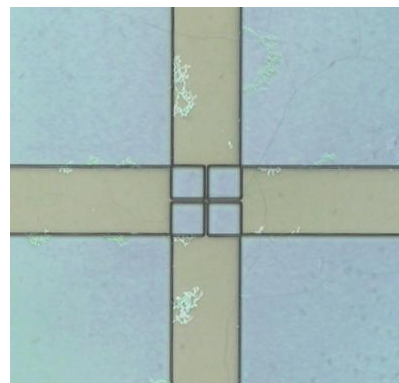


Fig.1 Optical micrograph of resist alignment mark pattern for lithography.

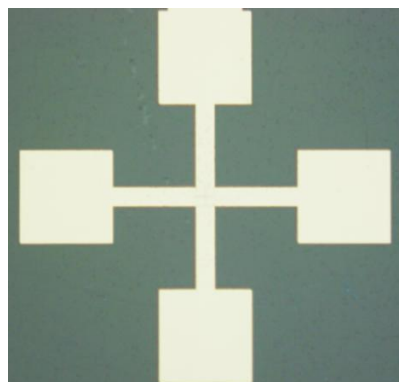


Fig.2 Optical micrograph of metal alignment mark for lithography.

4. その他・特記事項 (Others)

なし。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。