

課題番号 : F-13-AT-0128
利用形態 : 機器利用
利用課題名(日本語) : 2つのゲートを持つ二層グラフェントランジスタの作製
Program Title (English) : Fabrication of Dual-Gate Bilayer Graphene Transistors
利用者名(日本語) : 山田 綾香, 張替 真佐子, 佐藤 信太郎, 横山 直樹
Username (English) : Ayaka Yamada, Masako Harigae, Shintaro Sato, Naoki Yokoyama
所属名(日本語) : 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」
Affiliation (English) : FIRST program "Development of Core Technologies for Green Nanoelectronics"

1. 概要(Summary)

グラフェンは特異な電子物性を有し、高移動度を持つことから、次世代の高速動作トランジスタへの応用が期待されている。この応用のボトルネックとしてバンドギャップを開ける事が上げられる。バンドギャップを開ける方法として、単層グラフェンのナノリボン化と二層グラフェンの垂直電場印加の二通りが上げられるが、本件では後者を目的としている。そこで、二層グラフェンに垂直電場を TG と BG で印加する構造を持つデバイス作製を試みた^{2),3)}。

2. 実験(Experimental)

・装置

UV クリーナー、電子ビーム描画装置、反応性イオンエッチング装置(RIE)、プラズマアッシャー、小型真空蒸着装置、真空蒸着装置

・内容

Fig.1 のようなデバイスを作製した。まず、小型真空蒸着機で酸化膜付シリコン基板に BG を堆積した。基板を UV クリーナーで光化学的に洗浄し、SAM 膜を堆積させ、剥離グラフェンを貼りつけた。EB(電子ビーム)蒸着装置で Al を蒸着(Fig.1 では seed-Al₂O₃)、続けて ALD でアルミナを蒸着(Fig.1 では ALD-Al₂O₃)した。

TG を EB リソグラフィーと真空蒸着機で作製した。S,D 部のアルミナを EB リソグラフィーのあとにウェットエッチングした。続いて再度 EB リソグラフィーと真空蒸着機で S,D を作製した。

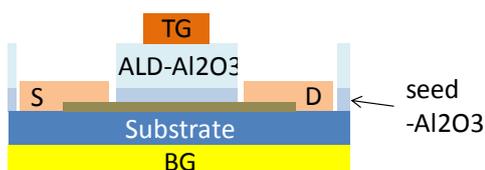


Fig.1 A illustration of the dual-gate graphene transistor.

(S: Source, D: Drain, TG: Top Gate, BG: Back Gate)

3. 結果と考察(Results and Discussion)

デバイスは問題なく作製することができた。

今回作成したアルミナの比誘電率はばらつきが多く、厚さ 20 nm (AFM から評価)と仮定すると約 6~17 と高い事がわかった。しかし TG のリークが激しく、アルミナの堆積条件を再考する必要がある。Fig.2 に作製したデバイスを示す。

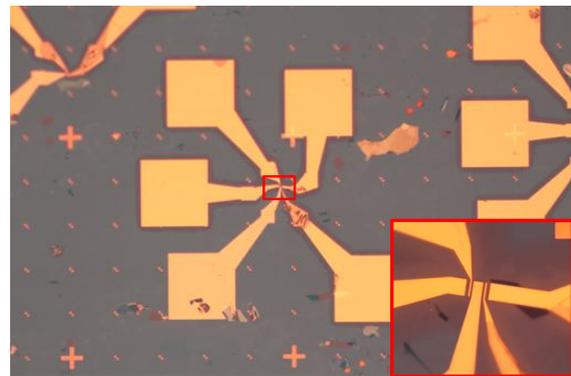


Fig.2 An optical image of the dual-gate transistor. Inset shows the magnified image of channel.

4. その他・特記事項(Others)

・参考文献

- (1) F. Schwierz, Nature Nanotechnol, 5 (2010) p.p.487-196
- (2) J. Oostinga et al., Nature Nanotechnol., 7 (2008) p.p. 151-157
- (3) F. Xia et al., Nano Lett., 10 (2010) p.p. 715-718

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。