

課題番号 : F-13-AT-0118  
利用形態 : 機器利用  
利用課題名 (日本語) : Ar Milling による MTJ 素子形成 (2)  
Program Title (English) : MTJs fabrication by using Ar milling equipment (2)  
利用者名 (日本語) : 安東 健, 秋山 浩二  
Username (English) : K. Ando, K. Akiyama  
所属名 (日本語) : 東京エレクトロン株式会社  
Affiliation (English) : Tokyo Electron Ltd.

## 1. 概要 (Summary)

近年、不揮発性磁気メモリ MRAM や HDD 磁気ヘッド等への開発を目的としスピントロニクス素子の研究開発が加速している。今回我々は、磁気抵抗素子 MTJs (Magnetic tunnel junctions) の基礎電気特性取得を目的としている。本研究では MTJ の成膜された Wafer 上に Hard Mask Pillar を作製し、Ar Milling を用いて MTJ Pillar の加工後、保護膜、層間絶縁膜を成膜、さらに EB を用いて上部コンタクトホールを形成するという Process に取り組んだ。

## 2. 実験 (Experimental)

Pillar 状の Hard Mask サンプルを作製し、そのサンプルを Ar Milling (IBE) を用いて、下部 MTJ 層まで物理的に Etching した。Pillar Size は 130 nm ~ 100  $\mu\text{m}$  まで幅広く存在する。このサンプルに保護膜としてスパッタ装置を用いて SiN を成膜、層間絶縁膜としてプラズマ CVD 装置により SiO<sub>2</sub> を成膜した。そのサンプルにスピンコーターを用いレジスト塗布後、電子線描画装置 (EB) を用い上部コンタクトホールの露光を行い、露光後 RIE で SiO<sub>2</sub>、SiN を Etching し断面観察に取り組んだ。

## 3. 結果と考察 (Results and Discussion)

MTJ を Ar Milling で加工後、SiN で Capping し、低温 CVD にて MTJ 全体を覆う層間絶縁膜を生成した。この段階で、磁気特性を確認したが、磁氣的に大きなダメージは入っていない。

更に EB を用いて、電特測定の為のコンタクトホール作製にトライした。その後 RIE で SiO<sub>2</sub> を Etching し、SEM 観察用 Pattern で断面観察を行った。(Fig. 1)

層間絶縁膜の厚さ、コンタクトホールの深さは期待通りのものに仕上がっている。現状問題としては Pillar 直上に Contact Hole が合わせられておらず、凡そ 100 nm 程

度のズレが生じていることが分かっている。原因は Alignment に用いる Pattern の大きさに由来しているのではないかと考えている。今後、この問題を解決し、電気特性評価につなげたい。

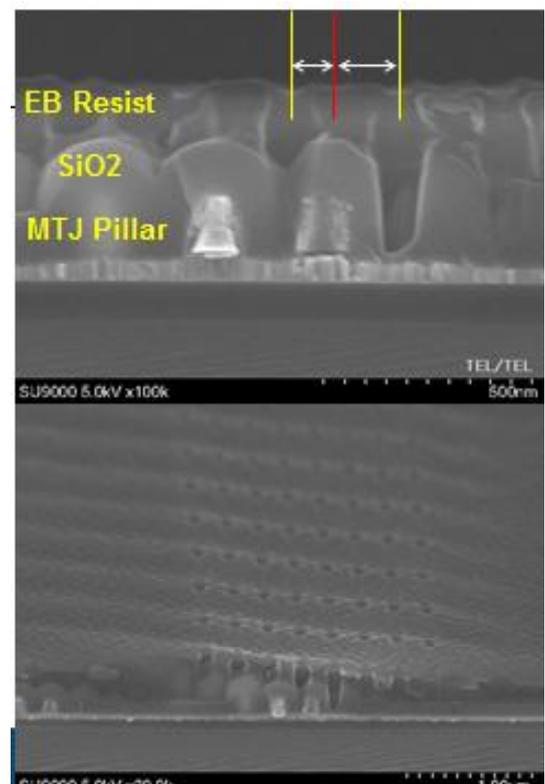


Fig. 1 130nm-MTJ device fabrication.

## 4. その他・特記事項 (Others)

なし。

## 5. 論文・学会発表 (Publication/Presentation)

なし。

## 6. 関連特許 (Patent)

なし。