

課題番号 : F-13-AT-0115
 利用形態 : 技術代行
 利用課題名 (日本語) : PCM メモリセルの上部電極形成
 Program Title (English) : Phase Change Memory Top Electrode Fabrication
 利用者名 (日本語) : 中林 肇
 Username (English) : Hajime Nakabayashi
 所属名 (日本語) : 東京エレクトロン株式会社 先端プロセス開発センター
 Affiliation (English) : Leading edge Process Development Center, Tokyo Electron Ltd

1. 概要 (Summary)

高速な低消費電力不揮発メモリの材料として GeTe-SbTe より成るカルコゲナイド超格子薄膜のメモリ特性を評価した。不揮発メモリ形成に適した膜組成、構造が得られる成膜プロセス条件を把握することができた。

2. 実験 (Experimental)

原子層堆積装置 (ALD) を用いて成膜したカルコゲナイド層を TiN 電極で挟んだ 2 端子構造を形成した。カルコゲナイド層と下部電極は 100 nm の層間絶縁膜により分離され微細孔により下部電極と接合するポア型メモリセル構造 (Fig.1) である。カルコゲナイド層、上部 TiN 電極成膜後の上部電極パターン形成には NPF の i 線露光装置を利用した。

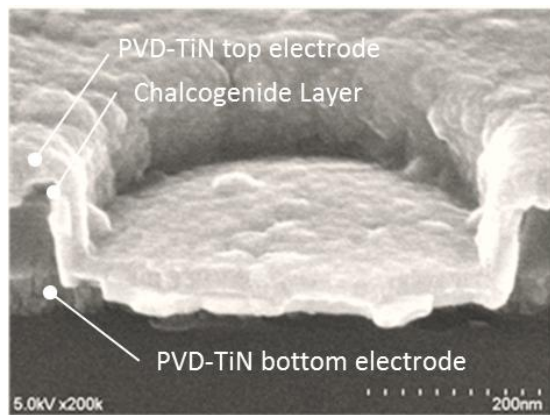


Fig.1 Pore-type two-terminal memory cell.

3. 結果と考察 (Results and Discussion)

カルコゲナイド超格子薄膜は膜組成、構造によりユニポーラ動作からバイポーラ動作までスイッチング特性が大きく変化する。一定の条件を満たす薄膜はバイポーラ動作する不揮発メモリとしての特性を示すことを DC 試験 (Fig.2) により確認した。抵抗比はモジュール間でばらつくが 10 倍から 100 倍の高い値が得られた。(Fig.3)

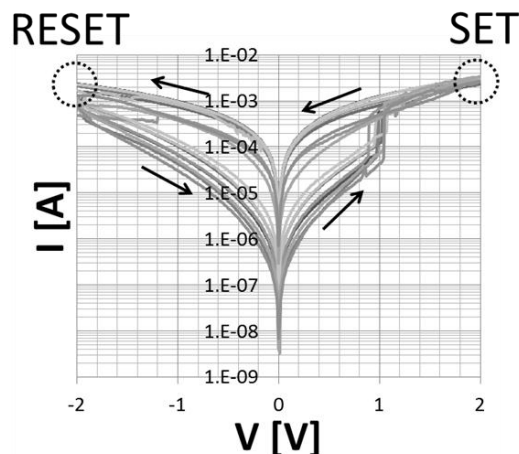


Fig.2 Bipolar switching behavior of GeTe-SbTe super lattice.

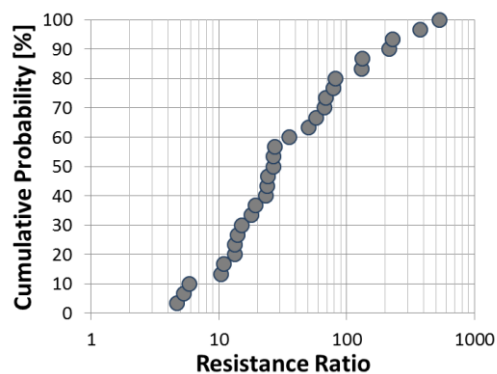


Fig.3 Cumulative probability of resistance ratio.

4. その他・特記事項 (Others)

なし。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。