

課題番号 : F-13-AT-0102
利用形態 : 機器利用
利用課題名 (日本語) : AFM による相変化膜の電気特性測定用試料作成プロセスの検討(2)
Program Title (English) : Investigation of processing for measuring electric property of phase-change material by using conductive AFM (2)
利用者名(日本語) : 小高 貴浩
Username (English) : Takahiro Odaka
所属名(日本語) : 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」
Affiliation (English) : FIRST program "Development of Core Technologies for Green Nanoelectronics"

1. 概要(Summary)

相変化メモリ素子は、結晶-アモルファス相転移による抵抗変化を利用して記録を行うメモリ素子である。本研究では、サブ 50 nm の微細な電極に AFM でコンタクトしパルス電流を印加することにより書換えの測定を行っているが、今回は書換え電力の素子寸法依存性(スケーリング特性)測定のため、相変化膜上へ電極形成可能なプロセスを検討した。今回用いた EB レジストのプロセス温度が相変化記録膜の成膜温度より高温である場合、記録膜の特性(構造)が変化してしまい問題となる。レジストプリベーク温度を記録膜の成膜温度まで下げて処理した結果、レジストの解像性変化がなく微細加工性が変化しないこと、電極形成のプロセス最高到達温度で相変化膜の構造が変化しないことを確認した。

2. 実験(Experimental)

利用装置: 電子ビーム描画装置、RIE 装置、スパッタ装置、小型真空蒸着装置、光学顕微鏡、FE-SEM、XRD、ワイヤボンダー

AFM による電気特性測定用素子の縦構造は、熱酸化膜成膜 Si 基板上に、WTi 50 nm を形成後、基板の半面をマスクした基板へスパッタリングにて相変化膜および SiO₂ 膜を形成し、その SiO₂ 膜上に、電子ビーム描画装置にて 30-150 nm のレジストホールパターンを形成したものである。RIE にて SiO₂ をエッチングし相変化膜表面を露出後、電極金属を埋め込みリフトオフにて電極を形成した。今回は、成膜した相変化膜の構造が後続の最高プロセス温度で変化しないことを確認するため、相変化記録膜の成膜温度と同等および高温のベーク条件で EB レジストの解像性を比較し、解像性の低下がないことを確認するとともに、素子形成用試料と同時に SiO₂ 基板上に成膜した相変化記録膜の構造評価用ウェハを作製し、

レジストプロセスと同じ条件で追加ベークを行い、前後の XRD 回折パターン変化を確認した。

3. 結果と考察(Results and Discussion)

FE-SEM によるレジストの解像性評価の結果、異なるプリベーク温度で処理したレジストの解像性の低下は起こらなかった(図示せず)。Fig. 1 に、相変化膜成膜温度と同温度でプリベークしパターンニングした EB レジストホールパターン(現像後)、SiO₂ RIE 後、リフトオフで形成した電極の SEM 像を示す。当初目的とした 40nm のパターンが解像し、サブ 50 nm の電極が形成出来た。また、今回用いた相変化膜の成膜温度(図示せず)と同じ温度で追加熱処理をして前後 XRD パターンを比較したところ(測定結果は省略)、両者に変化はなかった。そのため本素子にて特性評価が可能と判断した。

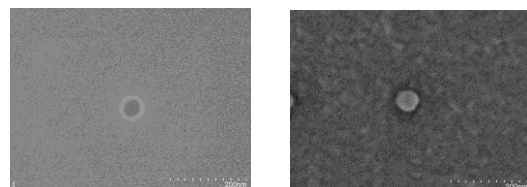


Fig.1 SEM images for hole pattern of electron beam resist and metal electrode (45nm). (a) after development. (b) after lift-off.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。