

課題番号 : F-13-AT-0101
利用形態 : 機器利用
利用課題名 (日本語) : グラフェンの電子デバイス応用
Program Title (English) : Electron Device Application of Graphene
利用者名 (日本語) : 原田 直樹
Username (English) : N. HARADA
所属名 (日本語) : 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」
Affiliation (English) : FIRST program "Development of Core Technologies for Green Nanoelectronics"

1. 概要 (Summary)

半導体素子の微細化・消費電力の問題を解決するために、新たな半導体材料の研究が盛んに行われている。グラフェンや遷移金属カルコゲナイド(Transition Metal Dichalcogenide, TMDC)系に代表される2次元材料は次世代半導体として有力な候補である。報告者らはTMDC トランジスタの動作確認および作製プロセスの最適化・高性能化を目的とし、NPF の半導体製造設備を利用してTMDCトランジスタの作製を行った。



Fig. 1 Microscopic image of an MoS₂ transistor.

2. 実験 (Experimental)

利用した装置

・真空蒸着装置 ・デバイス容量評価装置

Si 基板の上に薄層 MoS₂を単結晶より転写した試料を別途用意し、主にNPF施設にてトランジスタ作製プロセスを行った。ソース・ドレインおよびゲート電極製膜には真空蒸着装置を用いた。蒸着した電極材料は Ti, Pd, Au である。また、材料評価の一助としてデバイス容量評価装置を利用した。

3. 結果と考察 (Results and Discussion)

作製した MoS₂トランジスタの光学顕微鏡写真を Fig. 1 に示す。各電極は蒸着・リフトオフによって作製した。バックゲート構造であり、ゲート電極は SiO₂ 絶縁膜を介して基板側に形成されている。本トランジスタの電気的特性を Fig. 2 に示す。横軸はゲート電圧、縦軸はドレイン電流でリニアおよび対数プロットで表示してある。ゲート電圧によって電流が変調されており、極性は n 型である。約 5 桁の良好なオン・オフ電流比を示した。結晶欠陥あるいは表面の汚染・吸着物質などの原因により、自然に n 型ドーピングされていると考えられる。

また、将来のトップゲート構造を目指し、デバイス容量評価装置を用いてゲート絶縁膜の誘電率評価を行った。

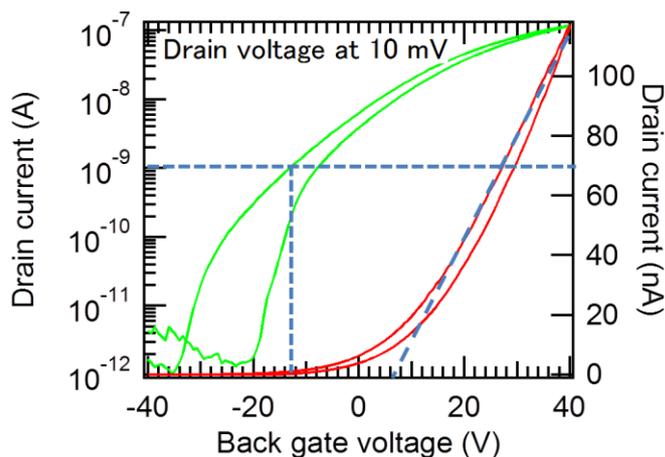


Fig. 2 Transfer characteristic of an MoS₂ transistor.

4. その他・特記事項 (Others)

本研究は、政府の最先端研究開発支援プログラムにより、助成されたものである。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

今後出願予定。