

課題番号 : F-13-AT-0072  
利用形態 : 技術補助  
利用課題名(日本語) : FIBによるTEM試料作製  
Program Title (English) : Sample making for TEM observation with FIB  
利用者名(日本語) : 近藤 佳幸  
Username (English) : Yoshiyuki Kondo  
所属名(日本語) : 東京エレクトロン株式会社  
Affiliation (English) : Tokyo Electron Co., Ltd.

### 1. 概要(Summary)

弊社で作製したMOSFETの断面TEM像を得るため、ナノプロセッシング施設のFIB装置を用いて試料作製を行っていただいた。FETの形状はゲート長25 $\mu\text{m}$ のPlanar型FETで、電気特性の優劣と断面図との対比から不良解析を行った。

### 2. 実験(Experimental)

試料作製はマイクロサンプリング法によって行った。まずFIB保護膜として予めカーボンコーティング、タングステンコーティングを行い、次に観察部周囲の深堀とスリット加工によってピックアップ用の加工をした。ピックアップ後はMoメッシュ上に切り出した試料を固定し、薄化加工をした。薄化後の膜厚は試料の端から中心に向かって1 $\mu\text{m}$ →300nm→100nmと段階的に変化させた。

加工後の試料は弊社内にてTEM観察した。

### 3. 結果と考察(Results and Discussion)

Fig. 1が良品であったFETのゲートスタック部断面TEM像、Fig. 2が不良品のゲートスタック部断面TEM像である。明らかにSource/Drain領域にダメージが入っていることが確認でき、これが測定不良の原因であることが特定できた。

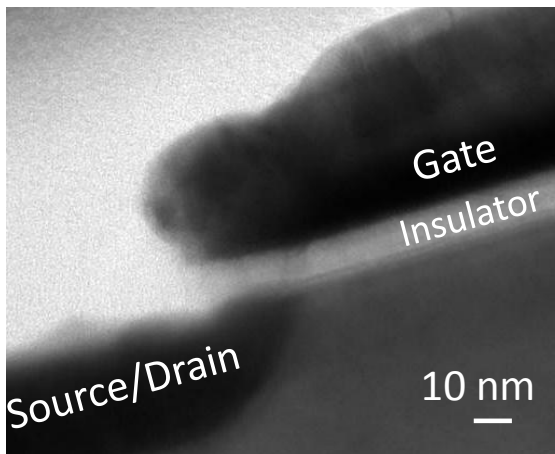


Fig. 1: The cross-section TEM image of the gate edge in the normal FET.

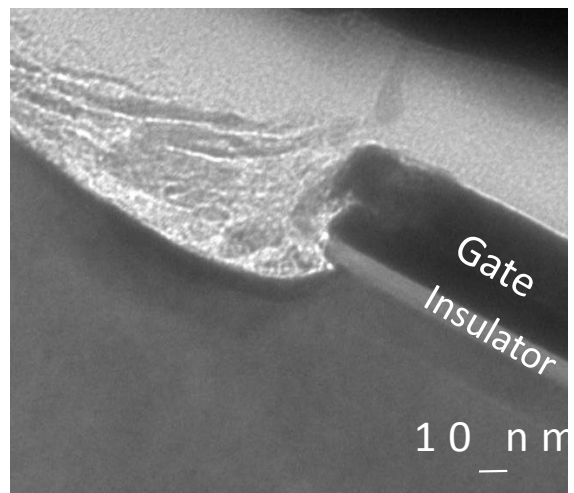


Fig. 2: The cross-section TEM image of the gate edge in the defective FET.

### 4. その他・特記事項(Others)

・共同研究者

東京エレクトロン(株) 大場 大輔、軍司 勲男、柏木 勇作、飯塚 洋二

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。