

課題番号 : F-13-AT-0045  
利用形態 : 技術代行  
利用課題名 (日本語) : 二次元 Si 層を用いた素子の試作  
Program Title (English) : Two-dimensional Si layers MOSFET  
利用者名 (日本語) : 中原 雄太  
Username (English) : Yuta Nakahara  
所属名 (日本語) : 神奈川大学大学院 理学研究科  
Affiliation (English) : Department of Science, Kanagawa University

## 1. 概要 (Summary)

将来の有望な素子として、FinFET や ETSOI が注目されている。この MOSFET の短チャネル効果を抑制するには、膜厚  $T_s$  を  $L/3$  ( $L$  はチャネル長) にする設計が行われ、将来的に  $T_s$  は Si の格子定数に近づくと予想される。この極限の膜厚を有する 2D-Si 層では、我々は低次元 Si におけるフォノン閉じ込め効果やバンド構造変調効果などによる、物性変調を実証してきた[1]。

しかしこの 2D-Si 層を用いた MOSFET 特性は詳細な研究がされていない。

そのため今回、我々は、二次元 Si 層を用いた MOSFET を NPF の装置を用いて試作したので報告する。

## 2. 実験 (Experimental)

今回の MOSFET 試作では、12 nm SOI 基板を用いてアライメントマーク、ソースとドレインの形成、電極形成及び素子分離時のリソグラフィを行った。リソグラフィのマスクパターンは、i 線露光装置を用いて行い、レジストは PFI38A 及び LOR3A を使用した。露光時間はすべて 280 msec である。

## 3. 結果と考察 (Results and Discussion)

MOSFET 試作のプロセスでリソグラフィを 4 回行い、Fig.1 のようなデバイスを完成させることができたが、電気特性を測定した結果、デバイスを動作させる事ができなかった。

これはソース及びドレイン形成時のイオン注入によって、BOX(埋め込み酸化膜)が破壊されたためソース及びドレインからゲート方向に、電流がリークしてしまっていると考えられる。そのため BOX 25 nm SOI では、MOSFET の正常動作させる事はできなかった。

現在は BOX 145 nm SOI を用いて再度、MOSFET の

試作を行っている。

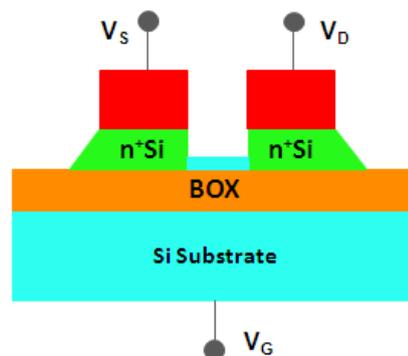


Fig.1 MOSFET structure with back gate substrate contact.

## 4. その他・特記事項 (Others)

MOSFET 試作に関して、ナノエレクトロニクス研究部門 新材料・機能インテグレーショングループの前田辰郎主任 研究員に感謝致します。

リソグラフィに関して、ナノエレクトロニクス研究部門エマージングデバイスグループの増田賢一さんに感謝致します。

### ・参考文献

[1] T.Mizuno et al. JJAP 52, 04CC13,2013.

## 5. 論文・学会発表 (Publication/Presentation)

特になし。

## 6. 関連特許 (Patent)

特になし。