

課題番号 : F-13-AT-0029
 利用形態 : 機器利用
 利用課題名 (日本語) : III-V nMISFET 試作
 Program Title (English) : Fabrication of III-V nMISFET
 利用者名 (日本語) : 小田 穰
 Username (English) : Minoru Oda
 所属名 (日本語) : 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」
 Affiliation (English) : FIRST program "Development of Core Technologies for Green Nanoelectronics"

1. 概要 (Summary)

Si に替わる N-MISFET 向け高移動度材料として、近年、InGaAs が注目されている。短チャネル効果耐性と高移動度の両立を実現するうえで、InGaAs 層を ~10 nm まで薄くした InGaAs on insulator (以下、InGaAs-OI) 構造は有望である [1]。しかし、InGaAs 層が極薄となることで、S/D 領域の寄生抵抗増大やプロセスの難易度が高まる可能性があり、これを解決する手段の一つとして raised S/D 構造を適用した InGaAs-OI 構造は有用であると考えられる [2]。本実験では、raised S/D 構造を用いた InGaAs-OI nMISFET を作製し、寄生抵抗の低減を図った。

2. 実験 (Experimental)

Si が $N_d = 1 \times 10^{18} \text{ cm}^{-3}$ ドープされた $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -OI 基板を文献 [4] と同様に作製し、同基板上に SiO_2 70 nm/ Al_2O_3 10 nm のダミーゲートを EB リソグラフィと RIE によって形成した。次に S/D のみに MOCVD にて、Si をドープした $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層を ~40 nm エピタキシャル成長した。そののち、ダミーゲートを希 HF 液にて除去し、 $(\text{NH}_4)_2\text{S}$ 処理を 2min 行った後に ALD にて Al_2O_3 7.5 nm を成膜した。a-Si 10 nm/TaN 20 nm をゲート電極として堆積し、g 線リソグラフィにてゲート形成を行った。PMA は N_2 雰囲気にて 350 °C、5min 処理を行った。最後に、 $\text{HCl}:\text{H}_2\text{O} = 1:5$ にて 5 min の前処理を行ったうえで、Au 100 nm/Ti 10 nm を堆積し、リフトオフプロセスにてコンタクトパッドを形成した。

3. 結果と考察 (Results and Discussion)

エピタキシャル成長した S/D 層の不純物濃度を測定するためホール効果測定を行ったところ、 $N_d = 1 \times 10^{19} \text{ cm}^{-3}$ であることが確認された。また TEM によってゲート長 70 nm の短チャネルのデバイス断面像を取得したとこ

ろ、Fig.1 のようにファセット形状が確認されるものの、Source-Drain 間のブリッジングなくエピタキシャル成長層が形成されていることが確認された。次に I_d - V_g 特性を取得し、 $V_g - V_{th} = 1 \text{ V}$ となる V_g におけるドレイン電流を I_{on} と定義し、 $R_{on} = V_d / I_{on}$ をゲート長 L_g に対してプロットしたものを Fig.2 に示す。Fig.2 より、raised S/D 構造によって明確に寄生抵抗が大幅に低減していることが確認された。raised S/D を用いないデバイスの寄生抵抗が高い理由として、Gate RIE 時のダメージから、S/D 領域の InGaAs 層表面の 1~2 nm がアモルファス化し、その後のコンタクトパッド形成前処理にてさらに InGaAs 層が薄くなったことで寄生抵抗が高まったものと推測される。以上より、raised S/D 構造が InGaAs-OI nMISFET の寄生抵抗低減に有用であることが確認された。

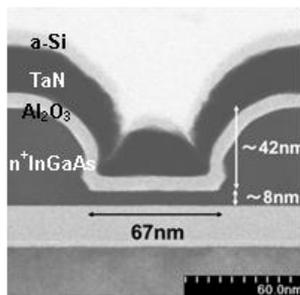


Fig. 1 Cross sectional TEM image of $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -OI nMISFET with the gate length of about 70 nm.

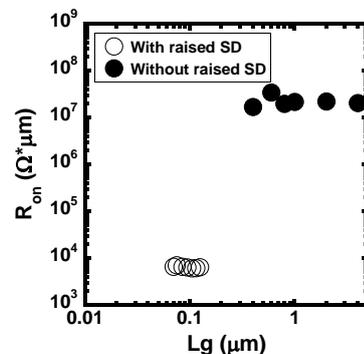


Fig. 2 R_{on} - L_g plot of $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -OI nMISFETs with and without raised SD. R_{on} is defined as V_d/I_d at $V_d = 0.05\text{V}$, $V_g - V_t = 1\text{V}$.

4. その他・特記事項 (Others)

・謝辞

本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

・共著者

入沢寿史, 三枝栄子, 倉島優一, 高木秀樹, Wipakorn Jevasuwan, 前田辰郎, 市川磨, 石原敏雄, 長田剛規, 宮本恭幸, 手塚勉

・参考文献

- [1] S. H. Kim, et al, VLSI Tech. (2012) 177.
- [2] L. Czornomaz, et al., IEDM (2012) 517.
- [3] J.-P. Colinge et al., Nat. Nanotech. **5** (2010) p. 225.
- [4] M. Yokoyama et al., Appl. Phys. Express **2** (2009) 124501.

5. 論文・学会発表 (Publication/Presentation)

- (1) Extended Abstracts of the 2013 SSDM (2013) p. 94.

6. 関連特許 (Patent)

なし。