

課題番号 : F-13-AT-0004
利用形態 : 機器利用
利用課題名(日本語) : デバイス構造確認のための TEM 試料作製
Program Title (English) : TEM sample making for confirming a device structure
利用者名(日本語) : 近藤 佳幸
Username (English) : Yoshiyuki Kondo
所属名(日本語) : 東京エレクトロン株式会社
Affiliation (English) : Tokyo Electron Co., Ltd.

1. 概要(Summary)

MOSFET の断面 TEM 像を得るため、ナノプロセッシング施設の FIB 装置を用いて試料作製を行った。この支援では FET のゲート絶縁膜にアンダーカットが入ったと考えられる試料の切り出しを行い、TEM 観察によって実際の構造を確認した。

2. 実験(Experimental)

試料作製はマイクロサンプリング法によって行った。まず FIB 保護膜として予めカーボンコーティング、タングステンコーティングを行い、次に観察部周囲の深堀とスリット加工によってピックアップ用の加工をした。ピックアップ後は Mo メッシュ上に切り出した試料を固定し、薄化加工をした。薄化後の膜厚は試料の端から中心に向かって $1\mu\text{m}\rightarrow 300\text{nm}\rightarrow 100\text{nm}$ と段階的に変化させた。

加工後の試料は弊社内にて TEM 観察した。

3. 結果と考察(Results and Discussion)

Fig. 1 がアンダーカットのない FET のゲートスタック部断面 TEM 像で、Fig. 2 がアンダーカットが入ったと思われる FET の断面 TEM 像である。想定通りゲート端から $10\sim 15\text{ nm}$ 程度のアンダーカットが入っていることを確認した。

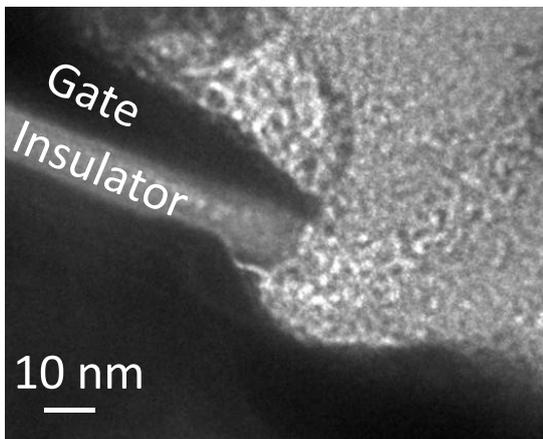


Fig. 1: The cross-section TEM image of the gate edge of the normal FET.

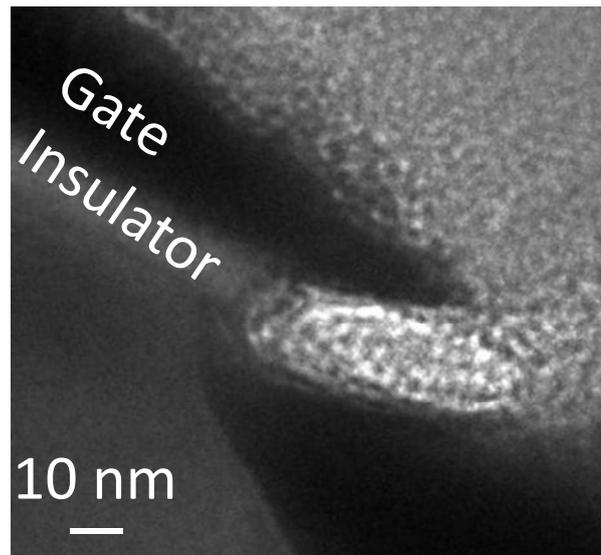


Fig. 2: The cross-section TEM image of the gate edge of the FET which have an undercut with the gate insulator.

4. その他・特記事項(Others)

・共同研究者
東京エレクトロン(株) 大場 大輔、軍司 勲男、柏木 勇作、飯塚 洋二

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。