

課題番号 : F-13-AT-0002
利用形態 : 技術代行
利用課題名 (日本語) : 光電子集積試作用反射防止膜層の作製
Program Title (English) : Anti-Reflection layer fabrication for photonics-electronics integrated system
利用者名 (日本語) : 野口 将高
Username (English) : Masataka Noguchi
所属名 (日本語) : 技術研究組合光電子融合基盤技術研究所
Affiliation (English) : Photonics Electronics Technology Research Association(PETRA)

1. 概要 (Summary)

将来のコンピューターにおいては、省電力化、高速化、小型化の限界が存在する。この限界を打破するためには、光配線と電子回路を融合したデバイス/システムの実現が不可欠である。しかしながら、LSI システムの産業化において本格的に光配線が重要な役割を果たすためには、LSI 回路と融合可能なシリコンベースの光集積回路の開発が必要となる。今回、光集積チップ内の面入射型 Ge 受光器の要素技術である反射防止膜層のパターニングプロセスについて、NPF 設備を利用し、実験/評価したので報告する。

2. 実験 (Experimental)

・i 線露光装置 (技術代行)

光ファイバとの光結合が容易な面入射型 Ge 受光器上に、反射防止膜層を積層してパターニングするために、先ず厚膜レジスト (5.8 μm) をスピコートにて塗布し、次に i 線露光にて、レジストパターンを形成した。今回は、事前確認であるため、このレイヤを Si 基板上に形成し評価した。

さらに、NPF にて形成したレジストパターン上に反射防止膜層をイオンビームスパッタ法にて成膜し、リフトオフにて、レイアウトパターンを形成した。

3. 結果と考察 (Results and Discussion)

本デバイスは、デバイス表面からの反射光を低減するため、反射防止膜層を形成している。この作製プロセスは、リフトオフを適用しており、今回、レジストパターン形成においては、NPF 設備である i 線露光装置を利用した。

その結果、レジスト 5.8 μm 、露光量 255ms、フォーカスオフセット 0.0 μm にて、良好なレジストパターンの形成を確認した (Fig. 1)。このレジストパターン上に反射防止膜層をスパッタ法にて形成し、リフト

オフにて、受光面の Ge 上のみ反射防止膜層が積層されるよう、プロセスを実施した。

本実験においては、反射防止膜のイオンビームスパッタ中の基板温度上昇により、レジストが炭化してしまい、リフトオフプロセス適用は難しいことが明らかとなった。

今後、反射防止膜層形成プロセスに関して、CMOS(complementary-metal-oxide-semiconductor) プロセスと整合するドライエッチングを検討していく予定である。これにより、更なる形成手法の簡素化と歩留まり向上に向けた最適化プロセスを構築していく予定である。

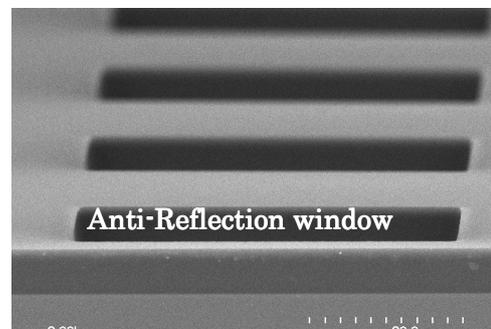


Fig.1 SEM image of resist pattern for anti-reflection layer.

4. その他・特記事項 (Others)

・今後の課題

反射防止膜層の成膜条件確立及び厚膜レジストを適用したドライエッチングプロセスの開発。

5. 論文・学会発表 (Publication/Presentation)

今後発表予定

6. 関連特許 (Patent)

特になし