

※課題番号 : F-12-UT-0152
※支援課題名 (日本語) : SOI基板上標準CMOS回路の後加工による高機能化と発電素子応用
※Program Title (in English) : Post-Process functionalization of Standard CMOS on SOI for Energy Harvester
※利用者名 (日本語) : パトリック ガルダ、アンドレア ピナ
※Username (in English) : Patrick Garda, Andrea Pinna
※所属名 (日本語) : パリ第六大学
※Affiliation (in English) : University of Paris VI

※概要 (Summary) :

標準的な CMOS 集積回路を、厚膜 Silicon on Insulator (SOI)基板上に作製し、東京大学拠点の公開装置でシリコン深掘り後加工を行い、MEMS 構造をモノリシック集積化する技術の研究を行っている。図に示すように、MEMS 部品と CMOS 回路とを絶縁する手法として、等方性エッチングによって LSI 配線の下部をえぐり取る「ブリッジ絶縁法」を提案しており、これを利用すると集積回路側の電子素子を高機能化することができる。同技術の応用例として、集積化発電素子をターゲットとし、パリ第六大学の研究グループと CNRS(フランス国立科学技術研究センター) の挑戦的国際共同研究 (PEPS) の助成を受け、共同研究を行っている。

※実験 (Experimental) :

平成 24 年 6 月から 25 年 2 月末まで合計 60 日、高速大面積電子線描画装置を用いたチップ直接描画、パターンニングした基板の反応性プラズマエッチング装置によるエッチング、シリコン深掘りエッチング装置による後加工、高真空蒸着装置による金属配線、ステルスダイサーによる素子のカット、ならびにドラフトチャンバー潤沢超純水付き等々、全ての公開装置を利用し、三次元微細加工による高耐圧化 CMOS 集積回路技術の作製を行った。CMOS 基板は大規模集積システム設計教育研究センターで行ったフェニテックセミコンダクター社による相乗り試作で作製した基板を用いた。同技術の可能性を調査するため、まず①オフ状態のトランジスタを数十個直列に接続し、個々のトランジスタをポストプロセスによってメサ絶縁した高耐圧化 CMOS 回路を作製、測定した。引き続き、平成 24 年 11 月 13 日から 16 日まで、Garda 教授と Pinna 博士を研究室に招き、同一のプロセスによる②発電素子の可能性を議論し、試験回路試作を試みた。

※結果と考察 (Results and Discussion) :

①のデバイスでは、標準 CMOS トランジスタ (保

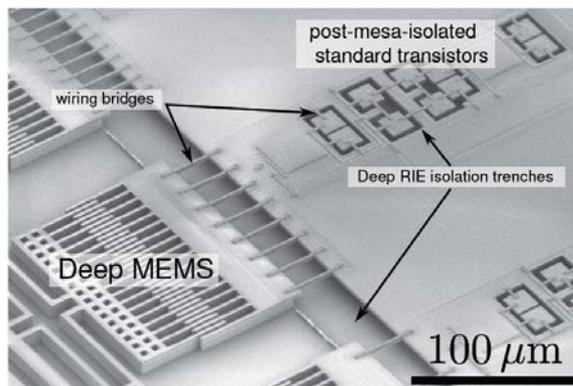


図 SOI-CMOS 回路の後加工による MEMS[1]

障 S-D 間耐圧 10V) 80 直列での 800V までのブレイクダウン耐性実験に成功し、Transducers 会議に投稿、口頭発表でアクセプトされた。続いて上記原稿投稿直後から翌朝のパリ行飛行機搭乗までの間に、②のデバイス作製を試みた。描画には成功したがシリコン酸化膜のエッチング時にチップ貼り付けが不十分だった模様で、チップがこげてしまい、その後もプロセスを頑張ったが電気的意味のある動作をするデバイス作製には至らなかった。

※その他・特記事項 (Others) :

今後はプロセスの不具合を改良し、集積化発電素子を何としても完成させたいと考えている。

共同研究者等 (Coauthor) :

平川淳 (東京大学修士課程)、久保田雅則 (東京大学助教)、三田吉郎 (東京大学大学院工学系研究科)

論文・学会発表

(Publication/Presentation) :

Atsushi Hirakawa, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "Experimental Evaluation of High Voltage Hold-off Capability of Post-Mesa-Isolated Standard CMOS Devices", *The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '13)*, June 17-20, Barcelona, Spain, (2013.06).

関連特許 (Patent) : なし