

*課題番号 : F-12-UT-0137
*支援課題名 (日本語) : システムとして機能を発揮する VLSI 研究に向けた微細加工試行利用
*Program Title (in English) : Trial use of Nanofabrication Platform for System VLSI
*利用者名 (日本語) : 兼本大輔
*Username (in English) : KANEMOTO, Daisuke
*所属名 (日本語) : 九州大学 (H25 年 4 月より山梨大学)
*Affiliation (in English) : Kyushu University (Moved to Univ. of Yamanashi on April 2013.)

*概要 (Summary) :

申請者は、電力制御、アナログならびにミックスド・シグナル集積回路設計を専門とする若手教員である。今後の研究方向として、システム全体として最適な機能を実現する LSI を構想し、実現手段として東京大学大規模集積システム設計教育研究センターの相乗り VLSI 回路試作環境ならびにナノテクノロジー・プラットフォームが有望であると考え、VDEC リフレッシュ教育に参加して環境を試行的に利用した。

*実験 (Experimental) :

平成 25 年 1 月と 3 月の 2 期、合計 6 日間、朝から夜まで東京大学拠点において実習を行った。第一期として、1 月 7 日から 9 日の 3 日間、東京大学武田先端知ビル 102 演習室において、三田吉郎東京大学拠点マネージャーより、座学による講習と、VDEC の所有する CAD ソフトウェアを利用したコンピュータ上での演習を行った。講義では構造解析理論から、Verilog-AMS 言語によるモデリングならびに電子回路シミュレータとの連成解析までを、講師による実験デモンストレーションを交えて行われた。座学とセットとなって、有限要素法ソフトウェア ANSYS による構造解析と代数解との比較、電子回路・機械連成シミュレーションによる共振現象の解析、LSI レイアウトエディタ Cadence によるレイアウト演習を行った。

続いて、平成 25 年 3 月 4 日に、東京大学武田先端知ビルにおいて、特定の周波数で共振する振動子のレイアウト設計を行った。レイアウト結果を図 1 に示す。翌 3 月 5 日に、電子線描画装置 F5112+VD01 によって 25 μ m 厚 SOI(Silicon on Insulator)基板上に、厚膜電子線レジスト OEBR-CAP112 を用いて実際に描画、同拠点の深掘りエッチング装置により、加工を行って特性を評価する予定であったが、実習二日目になって体調を崩したため、それ以降の実習には参加でき

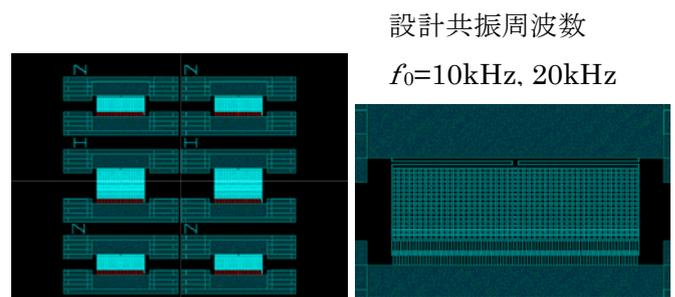


図 1 : 本支援で設計した MEMS 振動子のレイアウト全景 (左、一辺 5mm) と振動子部分拡大 (右) なかった。

*結果と考察 (Results and Discussion) :

今後の本格利用に向け、MEMS の基礎を学習し、かつ微小機械振動子を作製評価する一連の工程を経験するという当初の目的は、前半部分のみ達成された。

*その他・特記事項 (Others) :

体調不良という予想外の事態によって、自ら設計したデバイスの解析ができなかったことは残念であり、来年度の継続課題としたい。また、申請者は平成 25 年 4 月から山梨大学に転任になったが、東大拠点を引き続き利用して、迅速に研究の立ち上げを行いたいと考えている。このように、人の移動に大型装置の移動が伴わなくてよいという点は、プラットフォーム事業の利点であるので、一層の充実を望みたい。

共同研究者等 (Coauthor) :

なし

論文・学会発表

(Publication/Presentation) : なし

関連特許 (Patent) : なし