

※課題番号 : F-12-UT-0129
※支援課題名 (日本語) : JST-CREST プロジェクト「ナノシートをシード層とする機能性薄膜成長」
※Program Title (in English) : JST-CREST program “Growth of functional thin films using nano-sheet seed layer”
※利用者名 (日本語) : 長谷川 哲也
※Username (in English) : Tetsuya Hasegawa
※所属名 (日本語) : 東京大学大学院理学系研究科
※Affiliation (in English) : Graduate School of Science, The University of Tokyo

※概要 (Summary) :

近年、超伝導や室温強磁性を高電界印加により物質中に誘起する試みがさかんである。そのような実験で重要な技術が高電界印加を可能にする電界効果型トランジスタの開発である。もし、トランジスタのゲート絶縁層が非常に薄ければ、小さなゲート電圧でも高電界を印加できる。そこで、厚さ~1 nm という究極な薄さを持つチタン酸化物ナノシートをゲート絶縁層とした電界効果型トランジスタの開発を試みた。

※実験 (Experimental) :

ナノシートは厚さ~1 nm、直径 10 μm ほどの大きさである。このナノシートは LB 法を用いて緻密な多層膜として堆積することが可能である。一方で、単層ナノシートをゲート絶縁層として用いるには、通常の電界効果型トランジスタの作製とは異なるプロセスの開発が求められる。また、ナノシート自体がリソグラフィプロセスでダメージを受ける可能性もあるため、ナノシートをゲート絶縁層として用いることができるように、リソグラフィプロセスからデバイス構造まで最適化を行った。高速大面積電子線描画装置、クリーンドラフト潤沢超純水付きと高真空 EB 蒸着装置を用いて基板の微細加工および電極蒸着を行った。加工した基板の形状観察には膜厚計および走査型電子顕微鏡を用いた。

※結果と考察 (Results and Discussion) :

SrTiO₃ 単結晶基板にソース・ドレイン電極を蒸着し、その上にナノシートの多層膜を堆積し、ゲート電極を蒸着したトランジスタ構造を作製した。しかしながら、ゲート絶縁層の絶縁性はきわめて悪かった。その理由

として、リソグラフィで用いる試薬もしくは電子ビームでナノシートに損傷が生じる、またはナノシートがソース・ドレイン電極で屈曲するためにリークが生じる、といった可能性が考えられる。実際に、ナノシートがアルカリ現像液や有機現像液で剥離してしまうことがわかった。現在、ナノシートの損傷が生じにくいプロセスを検討中である。また、ナノシートの屈曲を防ぐように、基板にソース・ドレイン電極を埋め込んだ構造を開発しているところである。

※その他・特記事項 (Others) :

なし

共同研究者等 (Coauthor) :

物質・材料研究機構 フェロー ソフト化学グループ、佐々木 高義

論文・学会発表

(Publication/Presentation) :

該当なし。

関連特許 (Patent) :

該当なし。