

＊課題番号 : F-12-UT-0125
 ＊支援課題名 (日本語) : NEDO 省エネルギー革新技術開発事業「極低消費電力 III-V 族化合物半導体 CMOS の研究開発」
 ＊Program Title (in English) : Research and Development Program for Innovative Energy Efficiency Technology from NEDO
 ＊利用者名 (日本語) : 高木信一
 ＊Username (in English) : Shinichi Takagi
 ＊所属名 (日本語) : 東京大学大学院工学系研究科
 ＊Affiliation (in English) : Graduate School of Engineering, The University of Tokyo

＊概要 (Summary) :

近年、次世代 MOSFET の新しいチャンネル材料として III-V MOSFET が活発に研究されている。我々はチャンネルの In 組成を上げ、バンドギャップの高い MOS 界面バッファ層の中にチャンネルを挟むことで高移動化を、S/D としてはメタル S/D を使うことで良好な S/D を形成することを提案してきた。本研究では EB (Electron beam) リソグラフィ及び Ni-InGaAs による S/D を用い、ゲート長 100 nm 以下の微細素子を試作し、その特性を調べた。

＊実験 (Experimental) :

今回試作した MOSFET のプロセスフローを説明する。In_{0.3}Ga_{0.7}As/InAs/In_{0.3}Ga_{0.7}As (今回のチャンネル構造 (3/3/3 nm)、以下 InAs w/buffer とする)/InP 基板と n⁺Si 上に ALD (Atomic-layer-depositoin) Al₂O₃ を BOX とし、直接基板貼り合わせ法を使って InAs-OI (w/ buffer) on Si 基板を作製した[2]。素子分離をした後、基板をアセトン、アンモニア水、硫化アンモニウム水で洗浄し、ALD で Al₂O₃ を 6 nm 成膜した。ゲート電極として Ta をスパッタし、高速大面積電子線描画装置により EB リソグラフィを行い、ドライエッチングよりゲートパターンを形成した。さらに S/D 用の Ni を EB 蒸着し、RTA (Rapid thermal annealing) を行うことにより合金層を形成し、塩酸により未反応の Ni を除去し、パッド電極を形成することによって MOSFET を完成させた。

＊結果と考察 (Results and Discussion) :

Fig. 1 に作製された InAs-OI MOSFET (w/ buffer) の断面 TEM 像を示す。Si 上に ETB-OI 構造を持ち、S/D として Ni-InGaAs を用いた MOSFET が作製されていることが分かる。55nm のチャンネル長を持つ InAs-OI MOSFET (w/ buffer) の I_D-V_G, I_D-V_D 特性を測定し、オンオフ比 6 桁程度、高いオン電流特性を持つ特性が得られていることが分かった。これは MOS 界面バッファ層の挿入により、膜厚減少に伴う移動度劣化を阻止できたため、高移動度のまま薄いチャンネルのデバイスが作製できたことによると思われる。さらに、チャンネル長が非常に短いにも関わらず、比較的良好的な S.S. (sub-threshold slope, 105 mV/dec) と DIBL (Drain induced barrier lowering, 84 mV/V) が得られた。

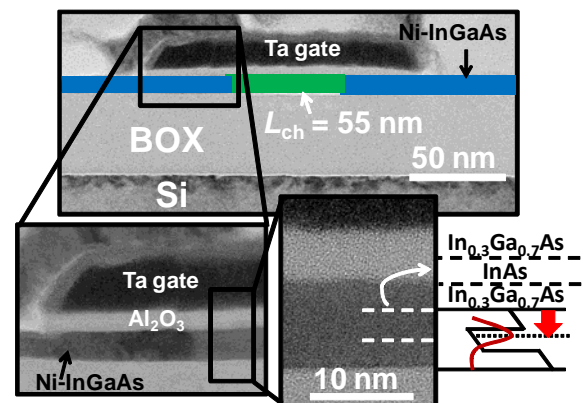


Fig. 1 A cross-sectional TEM image of the fabricated InAs-OI MOSFETs with a L_{ch} of 55 nm, T_{body} of 3/3/3 nm.

＊その他・特記事項 (Others) :

なし

共同研究者等 (Coauthor) :

竹中充、横山正史、キムサンヒョン (東京大学)

論文・学会発表

(Publication/Presentation) :

S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Strained In_{0.53}Ga_{0.47}As metal-oxide-semiconductor field-effect transistors with epitaxial based biaxial strain," *Appl. Phys. Lett.*, Vol. 100, 193510, 2012.

S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, S. Takagi, "Sub-60 nm deeply-scaled channel length extremely-thin body In_xGa_{1-x}As-on-insulator MOSFETs on a Si with Ni-InGaAs metal S/D and MOS interface buffer Engineering," *VLSI Symposium.*, 21.1, Honolulu, June 2012.

関連特許 (Patent)

なし