

＊課題番号 : F-12-UT-0024  
 ＊支援課題名 (日本語) : フェニテック CMOS 試作による多重書き込み回避型 ReRAM 回路 (科研費採択プロジェクト)  
 ＊Program Title (in English) : Programming Circuit of Multi-level ReRAM Utilizing Voltage Sense-Amplifier  
 ＊利用者名 (日本語) : 北川章夫  
 ＊Username (in English) : Akio Kitagawa  
 ＊所属名 (日本語) : 金沢大学  
 ＊Affiliation (in English) : Kanazawa University

＊概要 (Summary) :

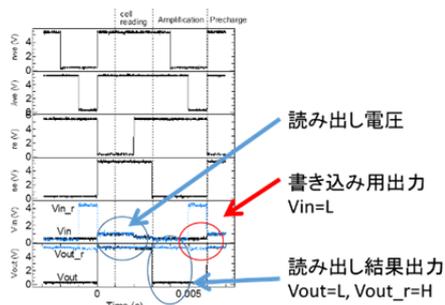
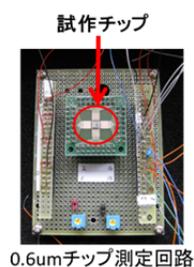
NEDO プロジェクトにおいて開発してきた ReRAM(※)の回路を発展させ、メモリの大容量化と低消費電力化を可能とする新しい書き換え回路を提案し、チップに実装した (特許取得済)。本試作により、ReRAM への無駄な書き換えを防ぎ、またメモリ素子の書き込み抵抗のばらつきを押さえることに成功した。本回路を用いることで、ReRAM への多値書き込みにより 2 倍以上の大容量化が可能となる。

＊実験 (Experimental) :

チップ試作には、東京大学がナノテクプラットフォームにて提供する集積化 MEMS 用フェニテック社 CMOS0.6 $\mu$ m テクノロジーを利用し、試作チップを東京大学拠点のステルスダイシング装置により、実験に適した大きさに切り分けたものを受け取った。設計のための CAD ソフトウェアは、東京大学 VDEC よりライセンス提供されている、Cadence 社 IC6.1.4, Synopsys 社 HSPICE, Mentor Graphics 社 Calibre を使用した。

＊結果と考察 (Results and Discussion) :

提案回路は、現在の抵抗値をセンスアンプによりモニタしながら書き換えパルスを制御する構造となっている。下図に示すように正常動作を確認した。



＊その他・特記事項 (Others) :

今後は、メモリセルアレイ (記憶回路本体) の記憶容量を増やした場合でも、回路が正常動作することを実証するための試作実験が必要である。

※ ReRAM は、超高速の不揮発性メモリとして期待されている。

共同研究者等 (Coauthor) :

中山和也 (金沢大学) 伊部泰貴 (金沢大学)

論文・学会発表 (Publication/Presentation) :

1. 伊部泰貴, 中山和也, 北川章夫, 電圧センスアンプを用いた ReRAM の多値化のための読み出し・書き込み回路, 信学技報, vol. 112, no. 425, ICD2012-126, pp. 45-49, 2013.1.
2. Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama and Akio Kitagawa, Novel power reduction technique for ReRAM with automatic avoidance circuit for wasteful overwrite, Active and Passive Electronic Components, Vol. 2012, Article ID 181395, 2012.4.

関連特許 (Patent) :

1. 川端優, 北川章夫他 5 名, 特許第 483648 号, 2012.3.