

*課題番号 : F-12-TU-0034
*支援課題名 (日本語) : 3-D IC 作製のための高アスペクト比ビアへのバリア/シード層形成に関する研究
*Program Title (in English) : A Study of Barrier/Seed Layer Formation for 3-D IC Fabrication
*利用者名 (日本語) : 木野 久志
*Username (in English) : Hisashi KINO
*所属名 (日本語) : 東北大学
*Affiliation (in English) : Tohoku University

※研究概要 (Summary) :

MOSFET の微細化限界が近づくにつれ、ムーアの法則に則った LSI の性能向上が困難となっている。近年、MOSFET の微細化によらない LSI の高性能化手法として LSI の三次元集積化技術が高い注目を浴びている。三次元集積化技術では LSI を縦方向に積層し Si 基板を貫通する Si 貫通配線(Through Si Via: TSV)を用いることで各チップ間の電氣的接続を行う。このような三次元集積システムを実現するためには高密度 TSV の作製が必要不可欠である。本研究では高密度 TSV を有する三次元集積システムの実現を目的とし、高アスペクト比 TSV のためのバリア/シード層形成技術の確立を行う。

※実験 (Experimental) :

高密度な TSV を有する三次元集積システムの実現を目的としており、本研究にて高密度 TSV の作製技術に関する研究を行う。TSV 作製のために Si 基板を覆っている絶縁膜のエッチング後に、高アスペクト比の Si 深堀、Si 深堀後の絶縁膜堆積、めっきのためのバリア/シード層形成のスパッタを行う。バリア/シード層形成には芝浦メカトロニクス製のスパッタ装置を用いた。金属膜の堆積方法には CVD(Chemical Vapor Deposition)法、スパッタ法、真空蒸着法が存在する。本研究では膜種、膜質、段差被覆性の観点からスパッタ法を選択した。

TSV の形成において、段差被覆性は特に重要な要素である。一般的にアスペクト比の高い TSV のビア側壁およびビア底部に金属膜を堆積させるためには高い段差被覆性を必要となる。スパッタ法では堆積時の圧力を調整することで金属原子の平均自由行程が増減するので、圧力の調整で段差被覆性の調整が可能であることが知られている。本研究では高アスペクト比

の TSV における堆積時の圧力が段差被覆性に与える影響を調査した。

※結果と考察 (Results and Discussion) :

堆積時の圧力を高くすることで段差被覆性が向上することを確認した。しかし、ビア側壁下方側での堆積不良やビア開孔部にオーバーハングが発生するなどの問題が生じた。オーバーハング等の問題を解決するには堆積時の圧力を低くする必要があるが、側壁への堆積レートが低下する。特にバリア層の堆積不良が生じた場合、TSV から Si 基板中へ Cu の拡散が生じる可能性がある。今後はこのトレードオフを解決する手段を構築する必要がある。

※その他・特記事項 (Others) :

スパッタ時の圧力を高くすることで段差被覆性が向上することを確認した。しかし、ビア側壁下方側での堆積不良の問題が生じた。このトレードオフの関係を解決する手段としてバリア層を CVD 法で堆積し、シード層をスパッタ法で堆積する方法が考えられる。しかし、プロセス時間が長くなるなどの問題が発生する。他にスパッタ時にサンプル基板に電界を印加して金属原子の運動を制御する方法なども検討していく予定である。