

※課題番号 : F-12-TU-0010
※支援課題名 (日本語) : グラフォアセンブリーによる三次元積層型光電子集積システム・オン・チップ
※Program Title (in English) : Three-Dimensionally Stacked Optoelectronic System-on-Chip Fabricated Using Grapho-Assembly
※利用者名 (日本語) : 小柳光正、福島誉史、裴志哲、マリアップムルゲサ、金野成秀
※Username (in English) : M. Koyanagi, T. Fukushima, J. Bea, M. Murugesan, S. Konno
※所属名 (日本語) : 東北大学 未来科学技術共同研究センター
※Affiliation (in English) : New Industry Creation Hatchery Center, Tohoku University

※研究概要 (Summary) :

次世代集積回路として期待されているシリコン貫通配線(TSV)を用いた三次元積層型集積回路の試作を行った。 $\phi 5\mu\text{m}$ 未満の高アスペクト比 TSV を有する基板を作製し、チップ実装後に電気的な導通を確認し、デバイスチップの積層へと展開することに成功した。

※実験 (Experimental) :

利用した主な装置名: DeepRIE、スパッタ

ボッシュプロセスを用いてシリコンの深穴を形成し、Ti/Cu のバリア/シード層を形成して TSV を形成した。また、マイクロバンプを電解めっき、および蒸着法により形成し、フリップチップ接続させた。

※結果と考察 (Results and Discussion) :

Time-modulation 法を用いてエッチングとパッシベーションの各時間を短くすることにより、TSV のスキヤロップを数 10 nm 以内に低減させた。これにより Cu 拡散を抑え、信頼性の高い TSV を形成することが可能となった。フリップチップ実装させたピッチ $10\mu\text{m}$ の微細な In/Au、Cu/Sn、Cu/SnAg マイクロバンプを有するチップを用いて、デিজチェーンを形成した。1 バンプ辺りの抵抗を測定した結果、 $20\text{-}50\text{m}\Omega$ 程度の十分に低い値を実現することができた。チップの位置合わせ精度 $\pm 1\mu\text{m}$ を得る技術の開発にも成功し、本課題の主テーマである光学素子の実装と機能化に十分な位置合わせ精度を得ている。

※その他・特記事項 (Others) :

なし

論文・学会発表

(Publication/Presentation) :

- 1) New Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and Electrostatic Temporary Bonding, 2012 IEEE International Electron Devices Meeting (IEDM), 2012/12/10-12,2012/12/12, pp.789-792,San Francisco, USA, T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi,
- 2) 3D Integration Technologies Based on Surface-Tension Driven Multi-Chip Self-Assembly Techniques, 222nd ECS Meeting: PRiME (Pacific Rim Meeting) 2012, 2012/10/7-12, 2012/10/8, ページ無, Honolulu, Hawaii, USA, Takafumi Fukushima, Kang Wook Lee, Jicheol Bea, Tetsu Tanaka, and Mitsumasa Koyanagi, (招待講演)
- 3) Grapho-Assembly Technology for Sub-Micron Accuracy 3D Chip Stacking with High-Density Through-Si Vias and Metal Microbumps, 2012 International Conference on Solid State Devices and Materials (SSDM 2012), 2012/9/25-27,2012/9/26, pp. 48-49, Kyoto International Conference Center, Kyoto, Japan, Takafumi Fukushima, Masaki Onishi, Jichoel Bea, Sayuri Hioki, Mariappan Murugesan, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi,
- 4) Multichip-to-Wafer Three-Dimensional Integration Technology Using Chip Self-Assembly With Excimer Lamp Irradiation, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.59, NO.11, NOVEMBER.2012, pp.2956-2963, Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichoel Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi,