

課題番号 : F-12-TT-0029  
 支援課題名 (日本語) : グラフェン誘電体被覆によるドーピング制御と光学素子の開発  
 Program Title (in English) : Fermi level control of graphene by dielectric coatings for optical applications  
 利用者名 (日本語) : 鈴木 誠也、吉村 雅満  
 Username (in English) : Seiya Suzuki , Masamichi Yoshimura  
 所属名 (日本語) : 豊田工業大学 表面科学研究室  
 Affiliation (in English) : Surface Science Laboratory, Toyota Technological Institute

**概要 (Summary) :**

グラフェンの光吸収はキャリア密度に敏感で、ドーピングによって制御することが可能である。我々はシリコンモノオキシド(SiO)の物理蒸着によりグラフェンへ欠陥を導入することなく誘電体膜が形成できることを見出しており[1]、グラフェンの SiO 被覆はグラフェン pn 接合デバイス(Fig.1)等への応用において重要である。そこで本研究では SiO 被覆を用いたグラフェン pn 接合デバイス開発に向けて、SiO 被覆がグラフェンのシート抵抗、移動度、ドーピングに及ぼす影響を明らかにすることを目的とする。

**実験 (Experimental) :**

化学気相成長法を用いて銅基板上にグラフェンの合成を行い、PMMA を用いた手法によりグラフェンを SiO<sub>2</sub>/Si 基板へ転写した。フォトリソグラフィーを用いたグラフェンのリボン化と電極(Al/Ti)形成によりグラフェン4端子デバイスを作製した。作製したグラフェン4端子デバイスのシート抵抗のゲート電圧依存性を低温電気伝導測定装置(支援装置)にて真空中(0.5 Pa)、常温の環境で測定した。

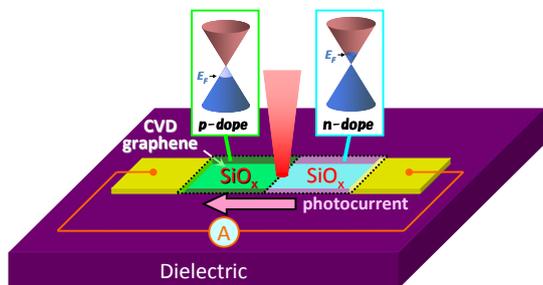


Fig.1. グラフェンの pn 接合デバイス

**結果と考察 (Results and Discussion) :**

作製したデバイスのシート抵抗のゲート電圧依存性を測定した結果を Fig.2(a)に示す。正のゲート電圧を印加するとともにシート抵抗が増大することから、グラフェンが p-dope されていることが分かる。過去

の報告ではゲート電圧+5V 程度でディラック点を表すシート抵抗の極大点が現れている[2]が、本結果ではディラック点は+100V 以上と推定された。これは、PMMA やレジストの残りがグラフェンを p 側へドーピングさせたためと考えられる。また、ゲート電圧 100V 印加後にデバイスに電流が流れなくなり、Fig.2(b)から電極の破損が確認された。これはグラフェンと金属の接着力が弱いことが示唆される。

以上のように、本支援によりデバイスの電気伝導特性を明らかにした。今後は PMMA の除去プロセスと電極形状の見直しを行い、デバイスへ SiO 被覆することでグラフェンの電気輸送特性への影響を明らかにしていく。

**その他・特記事項 (Others) :**

**参考文献 :**

- [1] S. Suzuki et al., 2013 APS March Meeting, V1 327.
- [2] S. Kim et al., Appl. Phys. Lett., 94 062107 (2009).

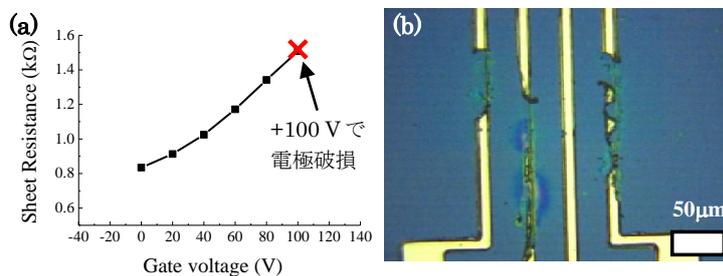


Fig.2. (a)グラフェンのシート抵抗ゲート電圧依存性 (b)測定後のデバイスの光学顕微鏡像