

＊課題番号 : F-12-NM-0066
 ＊支援課題名 (日本語) : ナノパターニング技術による高分子強誘電体ゲート FET の作製
 ＊Program Title (in English) : Fabrication of ferroelectric polymer gate FET based on nanopatterning technique
 ＊利用者名 (日本語) : 中嶋 宇史
 ＊Username (in English) : Takashi Nakajima
 ＊所属名 (日本語) : 東京理科大学
 ＊Affiliation (in English) : Tokyo University of Science

＊概要 (Summary) :

昨今、電子機能性デバイスに関する競争が激化し、その研究範囲も多岐に渡っている。従来の半導体産業における発展の要となった微細化は原理的限界を迎え、More than Moore に象徴される新しい原理に基づいた不揮発性メモリの開発が課題となっている。このような背景のもと、強誘電体の双安定な自発分極により、ソース/ドレイン間のチャネルコンダクタンスを制御する不揮発性強誘電体ゲート FET の研究が進められている。しかしながら、酸化物強誘電体を用いた場合、600～800℃の結晶化アニール処理において、強誘電体/半導体界面において原子相互拡散が起これ、良好なチャネル界面の形成は困難である。そこで本研究では、結晶化アニール温度が低い高分子強誘電体を用いて、理想的な界面を有する高分子強誘電体ゲート FET の作製とその分極反転挙動の基礎的理解を目的とした研究を行った。

＊実験 (Experimental) :

【利用した主な装置】

- ・レーザー露光装置
- ・全自動スパッタ装置
- ・自動スクライバ

【実験方法】

自然酸化膜を除去した *n* 型 Si 基板上に、レーザー露光装置を用いたリソグラフィーにより Au/Cr のソース/ドレイン電極パターンを形成した。続いて強誘電体層として厚さ 300nm の高分子強誘電体 VDF/TrFE (75/25mol%) をスピコート法により形成し、140℃にて結晶化アニール処理を行った。最後に Au をトップゲート電極としてリフトオフ法にて形成した。図 1 に試料図を示す。

＊結果と考察 (Results and Discussion) :

作製した試料のトランジスタ特性を評価したところ、

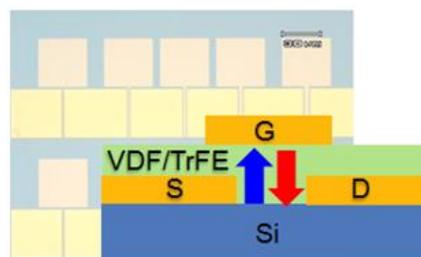


図 1. 作製した高分子強誘電体ゲート FET

強誘電体層の自発分極の反転に伴ったチャネルコンダクタンスの変化を確認できた。また、強誘電性を評価する *D-E* ヒステリシス測定と半導体層のキャリア挙動を評価する *C-V* 測定の結果から、分極状態に応じて多数キャリアの電子と少数キャリアの正孔が双安定に Si 界面に存在していることが明らかになった。このような現象は研究が先行している酸化物強誘電体ゲートトランジスタでは報告が少なく、作製された高分子強誘電体ゲート FET の界面状況が極めて良好であることを示している。

＊その他・特記事項 (Others) :

利用者が、平成 24 年 11 月より東北大学金属材料研究所に転出したため、本申請課題の年度内継続が困難となった。しかしながら、本成果は新しい不揮発性メモリ創出の糸口を見出すものであり、今後研究を発展させていきたいと考えている。

論文・学会発表 (Publication/Presentation) :

- 1) P. Sharma, T. Nakajima, S. Okamura and A. Gruverman, "Effect of disorder potential on domain switching behavior in polymer ferroelectric films", *Nanotechnology*, **24** (2013) 015706
- 2) T. Nakajima, H. Yamaguchi, H. Ishii, T. Furukawa and S. Okamura, "Polarization Switching Properties of Metal-Ferroelectric-Semiconductor Capacitor with Ferroelectric VDF/TrFE copolymer Thin Film" : IUMRS-International Conference on Electronic Materials IUMRS-ICEM 2012 (Pacifco Yokohama).