

＊課題番号 : F-12-BA-0020  
 ＊支援課題名 (日本語) : プレーナー型トンネルトランジスタの電気特性とそれを実現するデバイス構造最適化のシミュレーションによる検証実験  
 ＊Program Title (in English) : Optimization simulation of electrical characteristics of planar tunnel transistor  
 ＊利用者名 (日本語) : 角嶋 邦之  
 ＊Username (in English) : Kuniyuki Kakushima  
 ＊所属名 (日本語) : 東京工業大学 大学院総合理工学研究科  
 ＊Affiliation (in English) : Interdisciplinary Graduate School of Science and Engineering, Tokyo Institute of Technology

※概要 (Summary) :

次世代の電子デバイスとしてトンネルトランジスタが注目されている。本利用では、プレーナー構造によるショットキー障壁型デバイスの試作のために、その電気的特性を事前検討する。特に、ショットキー障壁高さの特性への影響をシミュレートする。

※実験 (Experimental) :

利用装置 : デバイスシミュレーター

ショットキー障壁高さ ( $\phi_{Bn}$ ) が、オン電流と電流立ち上がり速さ (sub-threshold slope: SS) に与える影響について検討を行った。ゲート長は 50 nm とし、検討した障壁高さの値は、0.41、0.81 eV である。チャネル濃度は、 $2 \times 10^{19} \text{ cm}^{-3}$  とした。

※結果と考察 (Results and Discussion) :

図 1 にドレイン電流と SS 値の障壁高さ依存性の結果を示す。

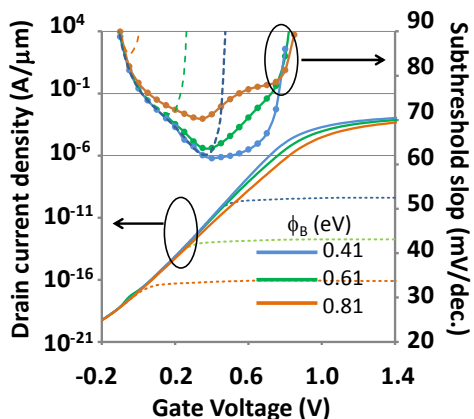


図 1 ドレイン電流と SS 値の障壁高さ依存性

図 1 に示すように障壁高さが大きい場合、ゲート電圧依存性が少なく、障壁高さが、電流の制御性に重要であること確認できた。また、ソース領域での電子濃度を解析した結果、フェルミレベル近傍での電子濃度増加が、トンネル電流の増加に直接寄与していることがわかった (図 2)。

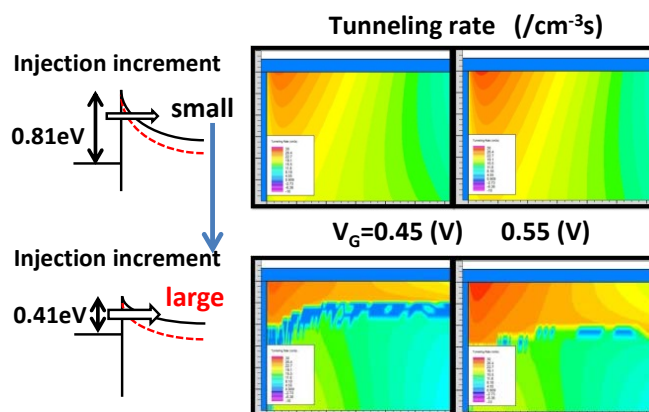


図 2 障壁高さ 0.81 および 0.41 eV におけるトンネル電流マップ

※その他・特記事項 (Others) :

なし

共同研究者等 (Coauthor) :

なし

論文・学会発表

(Publication/Presentation) :

なし

関連特許 (Patent) :

なし