

課題番号 : F-12-AT-0094  
\*支援課題名(日本語) : グラフェンをチャンネルに用いたトランジスタの評価  
\*Program Title(in English) : Characterization of the Transistors with Graphene Channel  
\*利用者名(日本語) : 谷 将広  
\*Username(in English) : Masahiro Tani  
\*所属名(日本語) : 産業技術総合研究所 ナノチューブ応用研究センター  
\*Affiliation(in English) : Technology Research Association for Single Wall Carbon Nanotubes

\*概要(Summary):

我々は、ロール to ロール技術を適用したマイクロ波プラズマ CVD 法によりグラフェンを短時間で大面積に低温合成できる技術を開発し[1]、この技術を用いた産業応用への展開を目指している。今後は、大面積でのグラフェン膜の低抵抗化が求められるが、プラズマ CVD 法により合成したグラフェン膜の電気伝導特性は十分理解されていない。グラフェン膜の電気伝導特性を把握する1つの手段として、トランジスタ特性を測定することが考えられる。そこでまず、グラフェントランジスタの作製を行い、その後グラフェントランジスタの評価を試みた。

[1] T. Yamada et al, Carbon. 50, 2615, (2012).

共同研究者等(Coauthor):

沖川 侑揮: 産総研ナノチューブ応用研究センター

論文・学会発表(Publication/Presentation):

なし

関連特許(Patent):

なし

\*実験(Experimental):

利用装置

- ・真空蒸着装置 ・スピコータ ・コンタクトマスクアライナ
- ・ホットプレート ・半導体デバイスパラメータ

グラフェンが形成された SiO<sub>2</sub>/Si 基板(持ち込み試料)に対して、通常の半導体プロセスを用いた電極のパターニングを行った。具体的には、コンタクトマスクアライナ装置を用いてレジストにパターニングを形成し、その後、真空蒸着装置にて金属を蒸着した。最後にリフトオフプロセスを用いてレジストを除去することでグラフェントランジスタの作製を試みた。作製したデバイスに対して、半導体デバイスパラメータ装置を用いて電流・電圧測定を行った。

\*結果と考察(Results and Discussion):

半導体パラメータアナライザを用いて半導体特性を調べてみたところ、ゲート変調がほとんどかからない結果となった。これは、用意したグラフェンの層数が多層であり、見かけのエネルギーギャップが存在していなかったためだと推測される。

\*その他・特記事項(Others):

参考文献