

課題番号 : F-12-AT-0068
*支援課題名(日本語) : 光電子集積試作用金属配線層の作製
*Program Title(in English) : Metal electrode fabrication for photonics-electronics integrated system
*利用者名(日本語) : 野口 将高
*Username(in English) : Masataka Noguchi
*所属名(日本語) : 光電子融合基盤技術研究所
*Affiliation(in English) : Photonics Electronics Technology Research Association(PETRA)

***概要(Summary):**

将来のコンピューターにおいては、省電力化、高速化、小型化の限界が存在する。この限界を打破するためには、光配線と電子回路を融合したデバイス/システムの実現が不可欠である。しかしながら、LSI システムの産業化において本格的に光配線が重要な役割を果たすためには、LSI 回路と融合可能なシリコンベースの光集積回路の開発が必要である。今回、光集積チップ内の Ge 受光器デバイスと LSI チップとを高精度なフリップチップ実装にて貼り合わせ作製するための、Ge 受光器金属配線プロセスについて、NPF 設備を利用し、実施したので報告する。

***実験(Experimental):**

- ・スパッタ装置
- ・i 線露光装置(技術代行)、スピコーター

西事業所 SCR にて、前工程までを完了した試料を用いて、先ずスパッタ装置にて AuSn バンプ形成用のメッキ下地層として Cu(200nm)/Ti(10nm)を形成する。その後、厚膜レジスト(10um)をスピコートにて塗布し、実装エリア内のみ i 線露光にて、メッキ用のパターンニングを施した後、AuSn メッキに対応するため、ウェハ外周部を装置固有のブランキングマスクにて露光し、電解メッキ用のコンタクトを確保した。これらにより、Ge 受光器デバイスと LSI チップとが実装可能な AuSn バンプ形成用の下地基板の作製フローを NPF にて完遂した。

***結果と考察(Results and Discussion):**

スパッタ装置及び i 線露光装置を用いて、LSI チップとのフリップチップ実装を目的とした Ge 受光器デバイスの AuSn バンプ形成用パターンを作製した。その結果、電極配線層とのアライメント及び高さ 10um の良好なレジストパターンの形成を確認した (Fig.1)。更に、電解メッキ用のテストパターンによる事前評価にて、高精度なフリップチップ実装が実現可能な、AuSn バンプ

パターンが得られた (Fig.2)。しかしながら、パターンの疎密エリアにて疎エリアのメッキ厚が過多になる傾向が顕著であり (Uniformity=2.07、 σ =11.29、Range=4.66um)、今後はパターン開口率と電流値の相関等々を見極め、面内分布を改善していく予定。

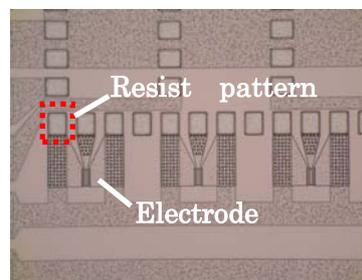


Fig.1 Microscopic image of resist pattern for bumps

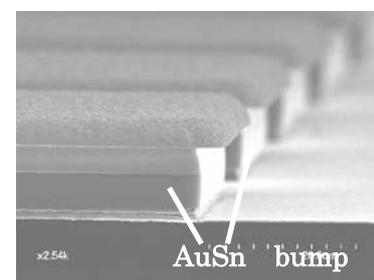


Fig.2 SEM image (Test pattern)

***その他・特記事項(Others):**

- ・今後の課題

AuSn メッキ厚のパターン粗密差における面内分布の改善/最適化及び AuSn メッキ溶解温度の見極め。

共同研究者等(Coauthor):

PETRA 藤方 潤一

論文・学会発表(Publication/Presentation):

今後発表予定

関連特許(Patent):

特になし