

課題番号 : F-12-AT-0045
*支援課題名(日本語) : III-Vトンネルトランジスタのデバイス試作
*Program Title(in English) : Device fabrication of III-V channel tunnel field-effect transistor
*利用者名(日本語) : 森 貴洋
*Username(in English) : Mori Takahiro
*所属名(日本語) : 最先端研究開発支援プログラム「グリーンナノエレクトロニクスのコア技術開発」
*Affiliation(in English) : Funding Program for World-Leading Innovative R&D on Science and Technology (FIRST Program), Development of Core Technologies for Green Nanoelectronics

※概要(Summary):

LSI の低消費電力化を実現するために、低電圧動作可能なトランジスタの開発が望まれている。その中でも現在利用されている MOSFET とは異なる原理で動作する Steep Slope FET と総称されるトランジスタ群は、極めて低い電圧で動作可能であるため注目を集めている。その中の1つがトンネルトランジスタである。本課題では III-V 材料である InGaAs をチャンネルに用いたトンネルトランジスタの試作を行った。

※実験(Experimental):

<利用装置>

・i 線ステツパ

<実験方法>

試作工程のうち、素子分離・ゲート加工・ソース注入・ドレイン注入の4種のリソグラフィ工程について、NPFのi線ステツパを利用して行った。この4工程はすべて InGaAs 膜を有する基板に対し、ポジ型レジストを塗布、i 線ステツパによって露光し、現像を行うことでパターン形成を行った。

試作したトランジスタは T 型およびリング型であり、T 型トランジスタについては $L_g=5\sim 50\mu\text{m}$ 、 $W_g=5\sim 50\mu\text{m}$ のデバイスサイズを有するものである。また、その他各種デバイスパラメータを抽出するための素子も同時に試作している。

※結果と考察(Results and Discussion):

試作結果は良好であり、意図した通りのデバイス構造を持つトランジスタが形成された。しかしながら、そのデバイス特性には未だ満足できるレベルにはなく、今後の改善が必要だと考えている。

具体的には酸化膜界面準位の低減化、PN 接合の急峻化の2点が最優先課題となる。今年度の後半では1つ目の課題である酸化膜界面準位の問題についても改善策

を検討を行ったところである。これら課題を解決することで良好な特性を持つ InGaAs トンネルトランジスタを実現することは来年度に引き継ぐ課題となる。



Fig.1 Optical microscope image of a InGaAs TFET

※その他・特記事項(Others):

<今後の課題>

- ・ゲート酸化膜-チャンネル界面準位の低減化
- ・急峻な PN 接合の実現

共同研究者等(Coauthor):

前田辰郎、宮田典幸、田邊顕人、太田裕之

論文・学会発表(Publication/Presentation):

なし

関連特許(Patent):

なし