

課題番号 : F-12-AT-0044  
\*支援課題名(日本語) : ナノデバイス試作  
\*Program Title(in English) : Fabrication of Nanodevices  
\*利用者名(日本語) : 田邊 顕人  
\*Username(in English) : Akihito Tanabe  
\*所属名(日本語) : 最先端研究開発支援プログラム「グリーンナノエレクトロニクスのコア技術開発」  
\*Affiliation(in English) : Funding Program for World-Leading Innovative R&D on Science and Technology (FIRST Program), Development of Core Technologies for Green Nanoelectronics

\*概要(Summary):

Si CMOS を凌駕する、超低消費電力デバイスの実現が望まれている。同デバイスの候補として、超急峻なスイッチング特性を有するトンネル FET(TFET)があり、高いオン電流を得るため III-V 族化合物を用いた TFET が有望と考えられている。本支援では、III-V 族化合物 TFET のデバイス試作のため、i 線露光装置によりレジストのパターニングを行った。

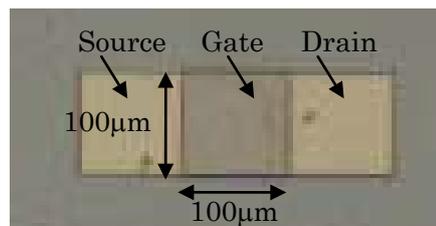


Fig. 1 Microscopic Image of Fabricated Transistor

\*実験(Experimental):

利用した装置

・i 線露光装置

持ち込みの III-V 族化合物チップにレジストを塗布し、i 線露光装置を用いて、チャンネル領域、ゲート領域、ソース/ドレイン領域のレジストパターンを形成した。その後、報告者らの設備で、絶縁膜形成、電極形成、エッチング等を行い、デバイスを試作した。

\*結果と考察(Results and Discussion):

ゲート長 100µm、ゲート幅 100µm のデバイスを作製した (Fig. 1)。ゲート絶縁膜は Al<sub>2</sub>O<sub>3</sub> 5nm である。ゲートリーク電流は抑えられているものの、ソース-ドレイン間のショートが見られ、トランジスタ特性は得られなかった。チャンネル領域はウェットエッチにより形成し、ダメージレスで行っており、ショートはチャンネルへのダメージが原因ではなく、何らかのチャンネル表面状態が原因と思われる。今後、各種物理分析により原因究明を進めるとともに、表面処理の最適化を検討していく。

\*その他・特記事項(Others):

・今後の課題

ソース-ドレイン間ショートの原因究明と対策

共同研究者等(Coauthor):

なし

論文・学会発表(Publication/Presentation):

なし

関連特許(Patent):

なし