

課題番号 : F-12-AT-0041  
 ※支援課題名(日本語) : III-V MOS 技術  
 ※Program Title(in English) : III-V MOS Technology  
 ※利用者名(日本語) : 入沢 寿史  
 ※Username(in English) : Toshifumi Irisawa  
 ※所属名(日本語) : 最先端研究開発支援プログラム「グリーンナノエレクトロニクスのコア技術開発」  
 ※Affiliation(in English) : Funding Program for World-Leading Innovative R&D on Science and Technology (FIRST Program), Development of Core Technologies for Green Nanoelectronics

※概要(Summary):

絶縁膜上に形成された InGaAs on Insulator (InGaAs-OI) 基板において微細な Fin 構造を形成した後、Fin をゲート電極で覆うトライゲート型 MOSFET を試作した。素子の移動度を測定した結果、Fin 幅 20 nm まで、 $1500 \text{ cm}^2/\text{Vs}$  という高い値が保持されている事が確認された。また、InGaAs 層の In 組成を 53% から 70% へ増大させる事で 30% の電流駆動力増大が確認された。

※実験(Experimental):

使用装置: i 線露光装置、真空蒸着装置

In 組成 53% と 70% の InGaAs-OI 基板に EB 描画と RIE を用いて微細な Fin 構造 (最小 Fin 幅 20 nm) を形成した後、 $\text{Al}_2\text{O}_3$  のゲート絶縁膜と TaN のゲート電極を成膜し加工した。その後、ソース・ドレイン電極を Ti/Au のリフトオフにより形成しトライゲート型 nMOSFET を作製した。移動度は Fin の抵抗率と元基板の Hall 測定により得たキャリア濃度を用いて算出した。

※結果と考察(Results and Discussion):

Fig.1 に作製した InGaAs-OI トライゲート MOSFET の移動度の Fin 幅依存性を示す。元基板の Hall 測定によって得られた移動度も点線で合わせて示す。Fin 幅 40 nm 程度以下では移動度の低下が生じているものの、Fin 幅 20 nm の素子においても  $1500 \text{ cm}^2/\text{Vs}$  という高い値が保持されている事が確認された。この値は、Si MOSFET の反転層移動度の約 3 倍に匹敵する値であり、InGaAs の高移動度材料としての長が微細な Fin 構造においても保持されている事が確認出来た。Fin 形成プロセスの最適化により、Fin 幅縮小に伴う移動度減少を抑制出来るものと期待できる。Fig.2 には、 $I_d$ - $V_g$  特性の In 組成依存性を示す。In 組成を 53% から 70% へ増大させることで、30% の電流

増大が確認された。これは、In 組成増大による移動度増大効果のためであると考えられ、更なる In 層性の増大化による移動度増大が期待される。

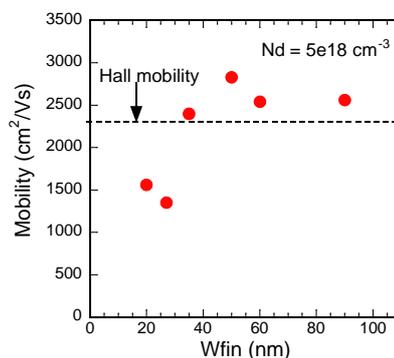


Fig.1 Fin width dependence of mobility in InGaAs-OI tri-gate nMOSFETs

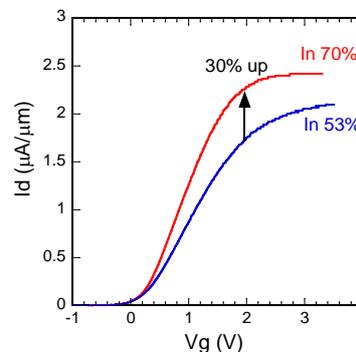


Fig.2 In composition dependence of  $I_d$ - $V_g$  characteristics of InGaAs-OI Tri-gate nMOSFETs

※その他・特記事項(Others):

本素子の Fin RIE 加工には、NIMS ナノテクノロジープラットフォームを利用した。

・今後の課題

Fin 形成プロセス最適化による移動度向上

共同研究者等(Coauthor):

小田穰、前田辰郎、手塚勉

論文・学会発表(Publication/Presentation):

2012 IEEE SOI Conference.

2013 年第 60 回応用物理学会春季学術講演会