

課題番号 : F-12-AT-0037
 ※支援課題名(日本語) : III-V MOS 技術
 ※Program Title(in English) : III-V MOS Technology
 ※利用者名(日本語) : 入沢 寿史
 ※Username(in English) : Toshifumi Irisawa
 ※所属名(日本語) : 最先端研究開発支援プログラム「グリーンナノエレクトロニクスのコア技術開発」
 ※Affiliation(in English) : Funding Program for World-Leading Innovative R&D on Science and Technology (FIRST Program), Development of Core Technologies for Green Nanoelectronics

※概要(Summary):

絶縁膜上に形成された InGaAs on Insulator (InGaAs-OI) 基板において微細な Fin 構造を形成した後、Fin をゲート電極で覆うトライゲート型 MOSFET を試作した。Fin 幅を 20 nm にまで微細化することで、高い On/Off 比 (>10⁶) と InGaAs MOSFET としては良好な低い S 値 (115 mV/dec.) が得られた。

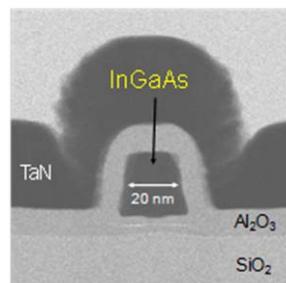


Fig. 1 TEM picture of InGaAs-OI Tri-gate nMOSFETs

※実験(Experimental):

使用装置: i 線露光装置、真空蒸着装置

InGaAs-OI 基板に EB 描画と RIE を用いて微細な Fin 構造 (最小 Fin 幅 20 nm) を形成した後、Al₂O₃ のゲート絶縁膜と TaN のゲート電極を成膜し加工した。その後、ソース・ドレイン電極を Ti/Au のリフトオフにより形成しトライゲート型 nMOSFET を作製した。なお、基板 InGaAs 層は、n 型にドーピング (1e17-5e18 cm⁻³) されており、空乏動作することを意図している。

※結果と考察(Results and Discussion):

Fig. 1 に作製した InGaAs-OI トライゲート MOSFET の断面 TEM 像を示す。最少 Fin 幅 20 nm のトライゲート型 MOSFET が良好な結晶性を維持したまま形成されている事が確認出来る。Fig. 2 (a) は、試作した素子の I_d-V_g 特性である。高い On/Off 比 (~10⁶) と InGaAs 素子としては良好な低い S 値 (115mV/dec.) が確認された。Fig. 2 (b) は、On/Off 比の Fin 幅依存性である。Fin 幅縮小に伴い、On/Off 比が大幅に増大している事が分かる。これは、Fin 幅縮小に伴う、ゲートの静電支配力増大効果のためであり、トライゲート構造の特長が確かに発現した事を示すものである。その結果、基板 n 型不純物濃度が 1e18cm⁻³ の素子においてまで、10⁶ 以上の高い On/Off 比が得られた。

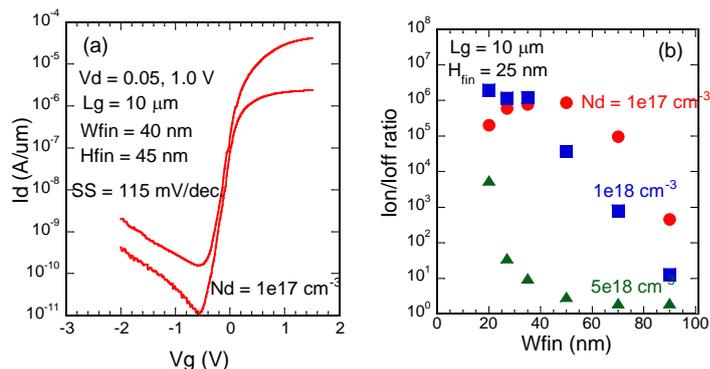


Fig. 2 (a) I_d-V_g characteristic, (b) Fin width dependence of On/Off ratio of InGaAs-OI Tri-gate nMOSFETs

※その他・特記事項(Others):

本素子の Fin RIE 加工には、NIMS ナノテクノロジープラットフォームを利用した。

・今後の課題

微細ゲート素子での高性能実証

共同研究者等(Coauthor):

小田穰、前田辰郎、手塚勉

論文・学会発表(Publication/Presentation):

2012 IEEE SOI Conference.

2013 年第 60 回応用物理学会春季学術講演会